



**Universidade Federal da Bahia**  
**Escola Politécnica**  
**Programa de Pós-Graduação em**  
**Engenharia Elétrica**



Arnaldo Oliveira Cunha Junior

**Inversor Fotovoltaico Monofásico sem**  
**Transformador com Atenuação de Corrente de**  
**Fuga**

Salvador-Ba – Brasil  
Julho de 2023



Arnaldo Oliveira Cunha Junior

# **Inversor Fotovoltaico Monofásico sem Transformador com Atenuação de Corrente de Fuga**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia como parte dos requisitos necessários para obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Filipe Antônio da Costa Bahia, DSc., UFBA  
Coorientador: João Paulo Ramos Agra Mélo, DSc., UFRPE

Salvador-Ba – Brasil

Julho de 2023

Ficha catalográfica elaborada pela Biblioteca Bernadete  
Sinay Neves, Escola Politécnica – UFBA.

---

C972 Cunha Junior, Arnaldo Oliveira.

Inversor fotovoltaico monofásico sem transformador com atenuação de  
corrente de fuga / Arnaldo Oliveira Cunha Junior. – Salvador, 2023.

124f.: il.

Orientador: Prof. Dr. Filipe Antônio da Costa Bahia.

Coorientador: Prof. Dr. João Paulo Ramos Agra Mélo.

Dissertação (mestrado) – Programa de Pós-Graduação em Engenharia  
Elétrica, Escola Politécnica, Universidade Federal da Bahia, 2023.

1. Sistemas fotovoltaicos. 2. Transformador. 3. Inversor monofásico. 4.  
Corrente de fuga. I. Bahia, Filipe Antônio da Costa. II. Mélo, João Paulo Ramos  
Agra. III. Universidade Federal da Bahia. IV. Título.

CDD: 621.314


---

Arnaldo Oliveira Cunha Junior

## **Inversor Fotovoltaico Monofásico sem Transformador com Atenuação de Corrente de Fuga**


Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia como parte dos requisitos necessários para obtenção do grau de Mestre em Engenharia Elétrica.

Trabalho aprovado. Salvador-Ba – Brasil, 21 de julho de 2023:

Documento assinado digitalmente  
 **FILIPPE ANTONIO DA COSTA BAHIA**  
Data: 04/09/2025 14:19:54-0300  
Verifique em <https://validar.iti.gov.br>

---

Orientador: Filipe Antônio da Costa Bahia,  
DSc., UFBA

Documento assinado digitalmente  
 **JOAO PAULO RAMOS AGRA MELLO**  
Data: 03/09/2025 17:33:41-0300  
Verifique em <https://validar.iti.gov.br>


---

Coorientador: João Paulo Ramos Agra Mélo,  
DSc., UFRPE

*Nayara Brandão de Freitas*


---

Nayara Brandão de Freitas, DSc., INESC TEC

Documento assinado digitalmente  
 **NADY ROCHA**  
Data: 03/09/2025 17:17:03-0300  
Verifique em <https://validar.iti.gov.br>

---

Nady Rocha, DSc., UFPB

Documento assinado digitalmente  
 **MAICON DEIVID PEREIRA**  
Data: 03/09/2025 20:01:30-0300  
Verifique em <https://validar.iti.gov.br>

---

Maicon Deivid Pereira, DSc., UFBA

Salvador-Ba – Brasil  
Julho de 2023



*Este trabalho é dedicado à minha família.*





# Agradecimentos

Primeiramente agradeço a Deus por todas as oportunidades e desafios encontrados. Agradeço à minha mãe Elenilde e meu pai Arnaldo pelo amor e suporte incondicional.

À minha irmã Andreia pelo amor e conselhos tão valiosos.

Ao professor Filipe pela disponibilidade, confiança, apoio e conhecimento passado ao longo do trabalho.

Ao professor João Paulo pela experiência e conhecimento compartilhados durante o desenvolvimento do trabalho.

Aos amigos de laboratório Luan, Diego, Alan, Michael, Edemar, Romário e Leandro pelos bons momentos e pela parceria diária.

Aos meus amigos que tornam todos os momentos muito mais leves. Em especial: Adriana, Naiara, Isaura, Letícia, Isabella, Paulo, Ildemar, Caio, Matheus e Yuri.



*“Tudo tem o seu tempo determinado,  
e há tempo para todo o propósito debaixo do céu”.  
(Eclesiastes 3:1)*



# Resumo

Este trabalho apresenta uma nova topologia de inversor fotovoltaico sem transformador para sistemas fotovoltaicos. O principal desafio enfrentado nos sistemas sem transformador é a corrente de fuga que circula através das capacitâncias parasitas dos painéis fotovoltaicos. Para reduzir essa corrente, é necessário garantir que a tensão de modo comum não apresente oscilações de alta frequência. As topologias de inversores que reduzem a corrente de fuga podem ser divididas em três grandes grupos: inversores com terra comum, com desacoplamento do estado-zero e inversores com grampeamento ao ponto central do barramento de corrente contínua (CC). Neste trabalho, é proposto um inversor com desacoplamento no lado de corrente alternada (CA) do inversor e grampeamento ao ponto central do barramento CC. Além da redução da corrente de fuga, o inversor apresenta alta eficiência em comparação às topologias de inversor sem transformador já existentes na literatura. No decorrer do trabalho, realiza-se uma vasta revisão das topologias de inversor sem transformador presentes na literatura. Após isso, obtém-se o modelo de modo comum de um conversor de três níveis e realiza-se a análise da resposta em frequência do sistema. Em seguida, são descritos os modos de operação do inversor proposto, incluindo os princípios de funcionamento do ramo de grampeamento. Simulações são realizadas para comparar o desempenho do conversor proposto com outras topologias a partir de vários parâmetros de desempenho, como nível da corrente de fuga, número de dispositivos, tensão sobre as chaves e perdas por condução e chaveamento. Por fim, o inversor sem transformador proposto é validado experimentalmente.

**Palavras-chave:** Inversor sem transformador, sistemas fotovoltaicos, corrente de fuga, alta eficiência.



# Abstract

This dissertation presents a new transformerless photovoltaic inverter topology for photovoltaic systems. The main challenge in transformerless systems is the leakage current that flows through the parasitic capacitances of the photovoltaic panels. To reduce this current, it is necessary to ensure that the common mode voltage does not exhibit high-frequency oscillations. Inverter topologies that mitigate leakage current can be divided into three main groups: common-ground inverters, zero-state decoupling inverters, and midpoint clamping inverters. In this work, a transformerless inverter with AC decoupling and DC bus midpoint clamping is proposed. In addition to reducing leakage current, it is expected that the inverter exhibits high efficiency compared to existing transformerless inverter topologies in the literature. Throughout the dissertation, an extensive review of transformerless inverter topologies in the literature is conducted. Subsequently, the common-mode model of a three-level converter is derived and the frequency response of the system is analyzed. The operation modes of the proposed inverter, including the principles of the clamping branch, are described. Simulations are performed to compare the performance of the proposed converter with other topologies based on various performance parameters, such as leakage current level, number of devices, voltage across the switches, and conduction and switching losses. Finally, the proposed transformerless inverter is experimentally validated.

**Keywords:** Transformerless inverter, photovoltaic systems, leakage current, high efficiency.





# Lista de ilustrações

Fig. 1 – Evolução da fonte solar fotovoltaica no Brasil . . . . .	28
Fig. 2 – Modelo concentrado das capacitâncias parasitas em um arranjo de módulos fotovoltaicos. . . . .	34
Fig. 3 – Modelo geral de um inversor fotovoltaico sem transformador. . . . .	35
Fig. 4 – Modelo de modo comum de um inversor fotovoltaico sem transformador. . . . .	36
Fig. 5 – Estrutura (a) e pulsos de chaveamento (b) do inversor NPC. . . . .	39
Fig. 6 – Estrutura (a) e pulsos de chaveamento (b) do inversor ANPC. . . . .	40
Fig. 7 – Estrutura (a) e pulsos de chaveamento (b) do inversor Tipo T. . . . .	41
Fig. 8 – Estrutura (a) e pulsos de chaveamento (b) do inversor H5. . . . .	43
Fig. 9 – Estrutura (a) e pulsos de chaveamento (b) do inversor HERIC. . . . .	44
Fig. 10 – Estrutura (a) e pulsos de chaveamento (b) do inversor H6 com diodos. . . . .	45
Fig. 11 – Estrutura (a) e pulsos de chaveamento (b) do inversor oH5. . . . .	46
Fig. 12 – Estrutura (a) e pulsos de chaveamento (b) do inversor H6. . . . .	48
Fig. 13 – Estrutura (a) e pulsos de chaveamento (b) do inversor PN-NPC. . . . .	49
Fig. 14 – Estrutura inversor HB-ZVR (a), HB-ZVR-D (b) e pulsos de chaveamento aplicados em ambas as topologias (c). . . . .	50
Fig. 15 – Estrutura (a) e pulsos de chaveamento (b) do inversor HB-ZVSCR. . . . .	51
Fig. 16 – Modelo geral de um inversor fotovoltaico sem transformador. . . . .	53
Fig. 17 – Modelo de modo comum de um inversor fotovoltaico sem transformador com as tensões de polo $V_{AO}$ e $V_{BO}$ representando o conversor CC/CA. . . . .	54
Fig. 18 – Modelo de modo comum de um inversor monofásico sem transformador em um sistema fotovoltaico. . . . .	56
Fig. 19 – Diagrama de Bode da corrente $i_{cm}$ em relação à tensão de modo comum $V_{CM}$ . . . . .	57
Fig. 20 – Diagrama de Bode da corrente $i_{cm}$ em relação à tensão da rede elétrica $v_g$ . . . . .	58
Fig. 21 – Diagrama de Bode da corrente $i_{cm}$ em relação à tensão de modo comum $V_{CM}$ a partir da variação da indutância de filtro. . . . .	59
Fig. 22 – Diagrama de Bode da corrente $i_{cm}$ em relação à tensão da rede elétrica $v_g$ a partir da variação da indutância de filtro. . . . .	60
Fig. 23 – Diagrama de Bode da corrente $i_{cm}$ em relação à tensão de modo comum $V_{CM}$ a partir da variação da capacitância parasita. . . . .	61
Fig. 24 – Diagrama de Bode da corrente $i_{cm}$ em relação à tensão da rede elétrica $v_g$ a partir da variação da indutância de filtro. . . . .	61
Fig. 25 – Estrutura do inversor fotovoltaico monofásico sem transformador proposto. . . . .	62
Fig. 26 – Tensões e correntes do inversor proposto durante o semiciclo positivo da corrente injetada na rede. . . . .	64

Fig. 27 – Modo de condução - semiciclo positivo. . . . .	64
Fig. 28 – Modo de roda-livre - semiciclo positivo. . . . .	65
Fig. 29 – Tensões e correntes do inversor proposto durante o semiciclo negativo da corrente injetada na rede. . . . .	66
Fig. 30 – Modo de condução - semiciclo negativo. . . . .	67
Fig. 31 – Modo de roda-livre - semiciclo negativo. . . . .	68
Fig. 32 – Modos de operação do ramo de grampeamento. . . . .	70
Fig. 33 – Regiões da referência $v_{ref}$ e os estados das chaves em cada nível de tensão de saída. . . . .	71
Fig. 34 – Comparação entre sinal de referência $v_{ref}(t)$ e portadora triangular $c(t)$ , a fim de gerar sinais de chaveamento $q_a$ e $q_b$ e uma tensão de saída com valor médio $\overline{V_{AB}(t)} = v_{ref}$ . . . . .	72
Fig. 35 – Interpretação geométrica para o funcionamento da modulação PWM. . .	77
Fig. 36 – Inversor monofásico conectado à rede. . . . .	79
Fig. 37 – Tensão $V_{AB}(t)$ na saída do inversor. . . . .	79
Fig. 38 – Modelo equivalente do inversor monofásico conectado à rede. . . . .	81
Fig. 39 – Sistema de controle da corrente injetada na rede elétrica. . . . .	84
Fig. 40 – Diagrama de Bode do controlador PR em comparação com o controlador PI convencional. . . . .	85
Fig. 41 – Resultados de simulação para o inversor NPC meia-ponte: tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	93
Fig. 42 – Resultados de simulação para o inversor H5: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	94
Fig. 43 – Resultados de simulação para o inversor HERIC: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	95
Fig. 44 – Resultados de simulação para o inversor oH5: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	97
Fig. 45 – Resultados de simulação para o inversor H6: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	98
Fig. 46 – Resultados de simulação para o inversor PN-NPC: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	99
Fig. 47 – Resultados de simulação para o inversor HB-ZVR: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	99

Fig. 48 – Resultados de simulação para o inversor HB-ZVR-D: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	100
Fig. 49 – Resultados de simulação para o inversor HB-ZVSCR: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	101
Fig. 50 – Resultados de simulação para o inversor proposto: tensões de polo $V_{AN}$ e $V_{BN}$ , tensão de modo comum $V_{CM}$ , tensão diferencial de saída $V_{AB}$ , corrente injetada $i_g$ , tensão de rede $v_g$ e corrente de fuga $i_{cm}$ . . . . .	102
Fig. 51 – Resposta do sistema a uma variação na potência gerada pelo painel fotovoltaico de 1500 W para 750 W. . . . .	103
Fig. 52 – Corrente das chaves do inversor fotovoltaico proposto. . . . .	104
Fig. 53 – Tensão sobre as chaves do inversor fotovoltaico proposto. . . . .	104
Fig. 54 – Comparação das perdas do inversor proposto com topologias convencionais para uma potência nominal de 1,5 kW. . . . .	110
Fig. 55 – Perdas totais para diferentes valores de potência injetada na rede: de 500 W a 2500 W. . . . .	111
Fig. 56 – Perdas totais para diferentes valores de frequência de chaveamento: de 2,25 kHz a 36 kHz. . . . .	112
Fig. 57 – Configuração do circuito para obtenção de resultados experimentais. . . .	113
Fig. 58 – Circuito para acionamento de um IGBT. . . . .	114
Fig. 59 – Esquema de alimentação de um circuito de acionamento. . . . .	115
Fig. 60 – Alimentação do CI 7404. . . . .	116
Fig. 61 – Resultados experimentais para o inversor proposto: tensões de polo $V_{AO}$ e $V_{BO}$ , tensão diferencial de saída $V_{AB}$ e tensão de modo comum $V_{CM}$ . . . .	116



# Lista de tabelas

Tab. 1 – Estados de chaveamento e tensões da topologia proposta. . . . .	63
Tab. 2 – Regiões do sinal modulante $v_{ref}$ , fórmulas dos ciclos de trabalho $d_x$ e fases das portadoras $\theta_x$ . . . . .	76
Tab. 3 – Estados da corrente $i_{cc}$ em um período de comutação. . . . .	80
Tab. 4 – Parâmetros de circuito utilizados nas simulações. . . . .	91
Tab. 5 – Valores de simulação para inversores meia-ponte com terra comum. . . .	92
Tab. 6 – Valores de simulação para o inversor H5. . . . .	94
Tab. 7 – Valores de simulação para os inversores com desacoplamento CA de estado-zero. . . . .	96
Tab. 8 – Valores de simulação para os inversores oH5, H6 e PN-NPC. . . . .	102
Tab. 9 – Valores de simulação para os inversores HB-ZVR, HB-ZVR-D, HB-ZVSCR e o inversor proposto. . . . .	103
Tab. 10 – Resumo das topologias de inversor sem transformador estudadas. . . .	105
Tab. 11 – Perdas de condução e chaveamento por dispositivo do inversor proposto para uma potência nominal de 1,5 kW. . . . .	109
Tab. 12 – Perdas para uma variação de 500 a 2500 W na potência injetada na rede.	111
Tab. 13 – Perdas para uma variação de 2,25 kHz a 36 kHz na frequência de chaveamento. . . . .	113
Tab. 14 – Parâmetros de circuito utilizados no teste experimental. . . . .	114



# Lista de abreviaturas e siglas

<b>ANPC</b>	<i>Active Neutral Point Clamped</i>
<b>CA</b>	corrente alternada
<b>CC</b>	corrente contínua
<b>FP</b>	fator de potência
<b>FV</b>	Fotovoltaico
<b>HERIC</b>	<i>Highly Efficient and Reliable Inverter Concept</i>
<b>HB-ZVR</b>	<i>H-Bridge Zero Voltage Rectifier</i>
<b>HB-ZVSCR</b>	<i>H-Bridge Zero Voltage Switch-Controlled Rectifier</i>
<b>NPC</b>	<i>Neutral Point Clamped</i>
<b>N-NPCC</b>	<i>Negative Neutral Point Clamped Cell</i>
<b>oH5</b>	<i>Optimized H5</i>
<b>PWM</b>	<i>Pulse Width Modulation</i>
<b>P-NPCC</b>	<i>Positive Neutral Point Clamped Cell</i>
<b>PN-NPC</b>	<i>Positive Negative Neutral Point Clamped</i>
<b>PR</b>	Proporcional-ressonante
<b>PI</b>	Proporcional-integral
<b>SPWM</b>	<i>Senoidal Pulse Width Modulation</i>
<b>THD</b>	<i>total harmonic distortion</i>
$V_{CM}$	tensão de modo comum
<b>UCP</b>	Unidade de Condicionamento de Potência
$V_{FP}$	<i>freewheeling path voltage</i>





# Lista de símbolos

$C_1$	Capacitor do barramento CC.
$C_2$	Capacitor do barramento CC.
$C_{ce}$	Capacitância entre as células de silício do painel fotovoltaico e sua estrutura de alumínio.
$C_{cr}$	Capacitância entre as células de silício do painel fotovoltaico e o <i>rack</i> de montagem.
$C_{ct}$	Capacitância entre as células dos módulos fotovoltaicos e o solo.
$C_{FV}$	Capacitância parasita equivalente de um painel fotovoltaico.
$C_{FV_P}$	Parcela da capacitância parasita conectada no terminal positivo do painel fotovoltaico.
$C_{FV_N}$	Parcela da capacitância parasita conectada no terminal negativo do painel fotovoltaico.
$f_{sw}$	Frequência de chaveamento.
$f_o$	Frequência da tensão da rede elétrica.
$f_{res}$	Frequência de ressonância do modelo de modo comum.
$i_2$	Corrente do indutor $L_2$ .
$i_g$	Corrente injetada na rede elétrica.
$i_{cm}$	Corrente de fuga
$i_{cm_2}$	Parcela da corrente de fuga que circula por $C_{FV_P}$ .
$i_{cm_1}$	Parcela da corrente de fuga que circula por $C_{FV_N}$ .
$L_1$	Indutor do filtro de saída conectado ao terminal $A$ .
$L_2$	Indutor do filtro de saída conectado ao terminal $B$ .
$R_g$	Resistência de conexão ao ponto de aterramento.
$r_{L_1}$	Resistência interna do indutor $L_1$ .
$r_{L_2}$	Resistência interna do indutor $L_2$ .

$V_{AB}$	Tensão entre os dois terminais de saída de um inversor monofásico.
$V_{AN}$	Tensão entre o terminal A do inversor e o terminal negativo do painel.
$V_{AO}$	Tensão entre o terminal A do inversor e o ponto central do barramento CC.
$V_{BN}$	Tensão entre o terminal B do inversor e o terminal negativo do painel.
$V_{BO}$	Tensão entre o terminal B do inversor e o ponto central do barramento CC.
$V_{CM}$	Tensão de modo comum.
$V_{CC}$	Tensão do barramento CC.
$V_{ECM}$	Tensão de modo comum equivalente.
$V_{nO}$	Tensão entre o neutro da rede elétrica e o ponto central do barramento CC.
$v_g$	Tensão monofásica da rede elétrica.
$\omega_{ci}$	Frequência de cruzamento de ganho da malha de controle de corrente.
$\phi_i$	Margem de fase da malha de controle de corrente.

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>27</b>
<b>1.1</b>	<b>Motivação</b>	<b>27</b>
<b>1.2</b>	<b>Objetivo Geral</b>	<b>29</b>
1.2.1	Objetivos Específicos	29
<b>1.3</b>	<b>Contribuições do Trabalho</b>	<b>29</b>
<b>1.4</b>	<b>Organização do Texto</b>	<b>30</b>
<b>1.5</b>	<b>Publicação</b>	<b>30</b>
<b>2</b>	<b>REVISÃO BIBLIOGRÁFICA</b>	<b>33</b>
<b>2.1</b>	<b>Capacitâncias Parasitas em Sistemas Fotovoltaicos</b>	<b>33</b>
<b>2.2</b>	<b>Modelo de Modo Comum</b>	<b>34</b>
<b>2.3</b>	<b>Requisitos para Sistemas Fotovoltaicos Conectados à Rede</b>	<b>37</b>
<b>2.4</b>	<b>Topologias de Inversores Monofásicos sem Transformador</b>	<b>38</b>
2.4.1	Inversores de Terra Comum	38
2.4.1.1	Inversor NPC	38
2.4.1.2	Inversor ANPC	40
2.4.1.2.1	Inversor Tipo T	40
2.4.2	Inversores com Desacoplamento do Estado-Zero	41
2.4.2.1	Desacoplamento CC	42
2.4.2.1.1	Inversor H5	43
2.4.2.2	Desacoplamento CA	44
2.4.2.2.1	Inversor HERIC	44
2.4.2.2.2	Topologia H6 com diodos	45
2.4.3	Topologias de Grampeamento ao Ponto Central	46
2.4.3.1	Inversor oH5	46
2.4.3.2	Inversor H6	47
2.4.3.3	Inversor PN-NPC	48
2.4.3.4	Inversores HB-ZVR E HB-ZVR-D	49
2.4.3.5	Inversor HB-ZVSCR	50
<b>3</b>	<b>INVERSOR MONOFÁSICO SEM TRANSFORMADOR PROPOSTO</b>	<b>53</b>
<b>3.1</b>	<b>Modelo de Modo Comum para Inversores Monofásicos</b>	<b>53</b>
3.1.1	Variação no Indutor de Filtro	59
3.1.2	Variação na Capacitância Parasita	60
<b>3.2</b>	<b>Descrição do Inversor Proposto</b>	<b>62</b>
3.2.1	Modos de Operação	62

3.2.2	Princípio de funcionamento do ramo de grampeamento . . . . .	69
<b>3.3</b>	<b>Descrição da Técnica de Modulação . . . . .</b>	<b>70</b>
<b>3.4</b>	<b>Modelagem do Sistema . . . . .</b>	<b>76</b>
3.4.1	Modulador PWM . . . . .	76
3.4.2	Inversor Monofásico Conectado à Rede . . . . .	78
3.4.2.1	Lado CA do Conversor . . . . .	81
3.4.2.2	Lado CC do Conversor . . . . .	82
<b>3.5</b>	<b>Estratégia de Controle Proposta . . . . .</b>	<b>83</b>
3.5.1	Controlador Proporcional-Ressonante . . . . .	84
3.5.2	Cálculo dos Ganhos . . . . .	86
<b>4</b>	<b>ANÁLISE DE RESULTADOS . . . . .</b>	<b>89</b>
<b>4.1</b>	<b>Escolha dos Parâmetros . . . . .</b>	<b>89</b>
<b>4.2</b>	<b>Inversores Propostos na Literatura . . . . .</b>	<b>92</b>
4.2.1	Inversores com Terra Comum . . . . .	92
4.2.2	Inversores com Desacoplamento CC . . . . .	94
4.2.3	Inversores com Desacoplamento CA . . . . .	95
4.2.4	Inversores com Grampeamento ao Ponto Central do Barramento CC . . . . .	96
4.2.4.1	Inversor oH5 . . . . .	96
4.2.4.2	Inversor H6 . . . . .	97
4.2.4.3	Inversor PN-NPC . . . . .	98
4.2.4.4	Inversor HB-ZVR . . . . .	98
4.2.4.5	Inversor HB-ZVR-D . . . . .	100
4.2.4.6	Inversor HB-ZVSCR . . . . .	100
<b>4.3</b>	<b>Resultados do Inversor Proposto . . . . .</b>	<b>101</b>
<b>4.4</b>	<b>Análise das Perdas . . . . .</b>	<b>106</b>
4.4.1	Perdas nos IGBTs . . . . .	106
4.4.1.1	Perdas por condução . . . . .	107
4.4.1.2	Perdas por chaveamento . . . . .	108
4.4.2	Perdas nos Diodos . . . . .	109
4.4.3	Comparação das Perdas . . . . .	109
<b>4.5</b>	<b>Resultados Experimentais . . . . .</b>	<b>113</b>
<b>5</b>	<b>CONCLUSÕES E TRABALHOS FUTUROS . . . . .</b>	<b>117</b>
<b>5.1</b>	<b>Conclusões Gerais . . . . .</b>	<b>117</b>
<b>5.2</b>	<b>Trabalhos Futuros . . . . .</b>	<b>118</b>
	<b>REFERÊNCIAS . . . . .</b>	<b>119</b>

# 1 Introdução

## 1.1 Motivação

Durante a pandemia do COVID-19, que desencadeou uma crise energética e o aumento significativo dos preços de energia elétrica, a geração de energia solar fotovoltaica se tornou uma fonte essencial para suprir a demanda energética de vários países ([SOLARPOWER, 2022](#)). Em 2021, a energia solar fotovoltaica obteve um crescimento de 167,8 GW na capacidade instalada, 21% a mais do que os 139,2 GW de 2020, estabelecendo um novo recorde para o setor. Ao mesmo tempo que estes números representam 56% da capacidade instalada de todas as fontes renováveis em 2021, a energia solar fotovoltaica supre apenas 3,7% da demanda de eletricidade mundial com 940 GW de capacidade instalada, enquanto as demais fontes renováveis suprem 24,6% e fontes não-renováveis ainda proveem 71,7% desse total ([SOLARPOWER, 2022](#)). De acordo com [SolarPower \(2022\)](#), a busca dos países por uma matriz elétrica menos dependente de combustíveis fósseis, somada com as preocupações acerca da invasão russa à Ucrânia, irá acelerar o processo de transição para energia solar fotovoltaica, fazendo com que a capacidade instalada globalmente chegue a 2.368 GW em 2026, representando um crescimento expressivo de 151,91% com relação a 2021.

O Brasil mantém sua liderança na América do Sul como o maior mercado de geração solar fotovoltaica com uma capacidade instalada de 22,3 GW ao final de 2022 como apresentada na Figura 1, sendo 31% correspondente à geração centralizada e 69% à geração distribuída. Esse valor, que representa um crescimento de 57,96% e mais de 8 GW de capacidade instalada no ano, corresponde a 10,6% de participação na matriz elétrica brasileira ([ABSOLAR, 2023](#)). De acordo com a Associação Brasileira de Energia Solar Fotovoltaica, mais de R\$ 113,3 bilhões foram investidos e 670,7 mil novos empregos foram gerados no setor fotovoltaico brasileiro desde 2012. O grande crescimento do setor foi impulsionado pela assinatura da lei 14.300/2022 ([BRASIL, 2022](#)), que criou o Marco Legal da Geração Distribuída e garantiu que os projetos já instalados ou cuja solicitação de acesso ocorresse até o dia 07 de janeiro de 2023 se beneficiassem das regras de compensação da Resolução 482 até o final de 2045.

A tendência de descentralização dos sistemas de potência se observa no aumento gradual de capacidade instalada da Geração Distribuída observada na Figura 1. Os sistemas distribuídos reduzem as perdas na transmissão e distribuição de energia, que podem representar até cerca de 30% do custo ao consumidor ([IEA, 2002](#)), visto que os geradores ficam muito próximos ou exatamente na localização do usuário final, como no caso da geração residencial. A geração distribuída por fontes renováveis também oferece

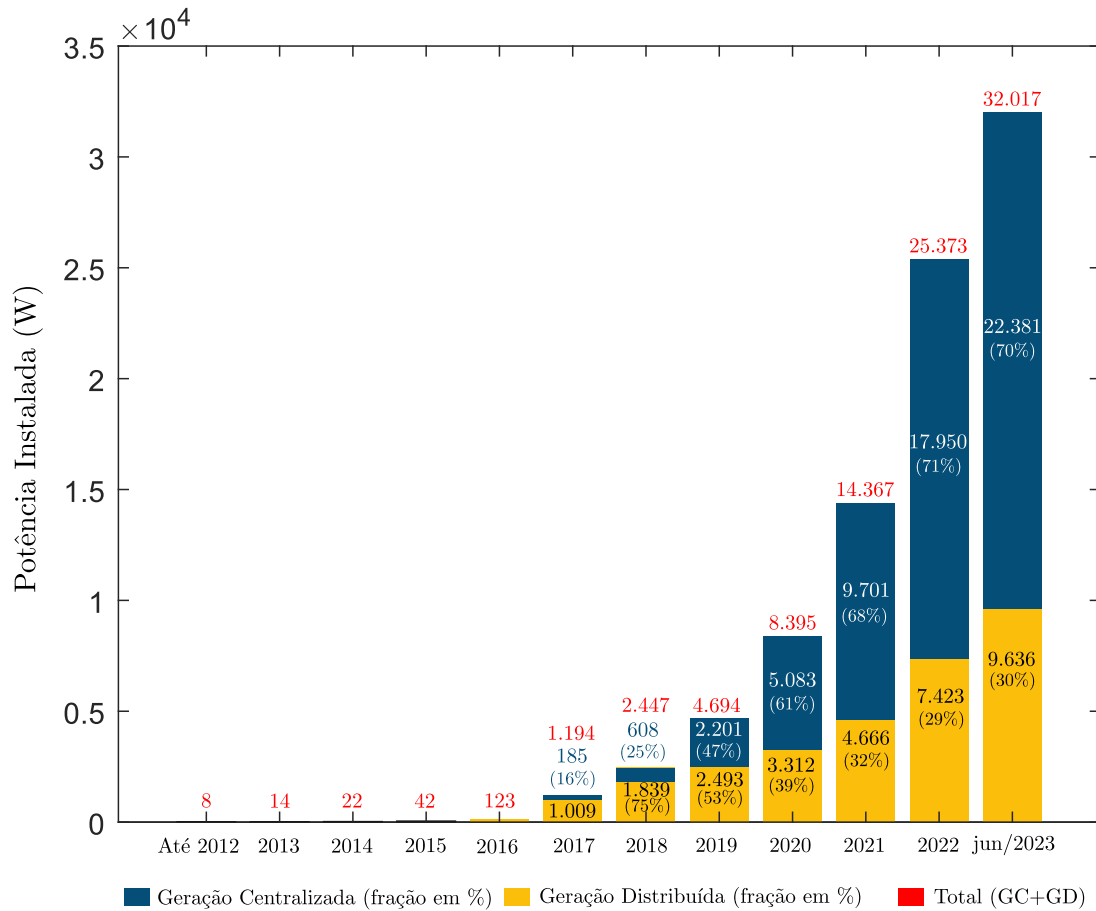


Fig. 1 – Evolução da fonte solar fotovoltaica no Brasil

Fonte: Adaptado de (ABSOLAR, 2023)

benefícios a longo prazo, como a possibilidade de redução do investimento realizado por concessionárias e companhias estatais na construção de plantas de grande porte e na infraestrutura de transmissão (REVESZ; UNEL, 2016). Por contemplar diversas tecnologias e diferentes fontes de energia, a geração distribuída permite a diversificação da matriz energética, diminuindo a dependência do setor em apenas um recurso energético, contribuindo para a robustez da matriz energética nacional (ZILLES et al., 2016).

Nos sistemas de geração distribuída, a função dos inversores é servir como uma *interface* entre duas fontes de energia: o módulo solar e a rede elétrica (ISLAM; MEKHILEF; HASAN, 2015). Os transformadores são utilizados para prover isolamento galvânica entre o gerador fotovoltaico e a rede elétrica, de modo a evitar correntes de fuga e injeção de CC na rede. Entretanto, esses transformadores aumentam o peso e tamanho dos inversores, além de diminuir sua eficiência e a densidade de energia (KHAN et al., 2019).

A retirada dos transformadores desses sistemas tem sido considerada como uma opção viável devido aos benefícios que proporciona, como aumento da eficiência, redução do peso e do tamanho dos inversores. Além disso, os inversores sem transformador podem

ser mais baratos que os sistemas convencionais, tornando a geração fotovoltaica ainda mais competitiva com os sistemas tradicionais de geração de energia (MYRZIK; CALAIS, 2003a). No entanto, esses tipos de inversores apresentam uma grande desvantagem devido à conexão direta entre o arranjo de painéis fotovoltaicos com a rede elétrica sem isolamento galvânica. Como a estrutura metálica dos arranjos fotovoltaicos é aterrada, surgem capacitâncias parasitas entre os terminais dos painéis e o terminal de terra (CHEN; LAI, 2015). Como resultado, uma corrente indesejada flui da rede elétrica para os arranjos fotovoltaicos através do solo e provoca sérios problemas de segurança, distorção na corrente injetada, aumento das perdas e interferências eletromagnéticas. Para lidar com essa questão, os inversores fotovoltaicos sem transformador são desenvolvidos com o objetivo de reduzir a corrente de fuga a valores dentro das normas de segurança estabelecidas e que interfiram ao mínimo na eficiência do sistema.

## 1.2 Objetivo Geral

O objetivo geral do trabalho é o desenvolvimento de uma nova topologia de inversor sem transformador para sistemas fotovoltaicos.

### 1.2.1 Objetivos Específicos

- Realizar uma revisão das principais topologias de inversor sem transformador propostas na literatura;
- Obter o modelo de modo comum que descreva o comportamento da corrente de fuga em relação às tensões presente no sistema.
- Assegurar que a nova topologia reduza a corrente de fuga e apresente uma boa eficiência quando comparado com as topologias convencionais;
- Realizar simulações das topologias estudadas, a fim de comparar o desempenho da topologia proposta com os inversores sem transformador existentes na literatura;
- Validar experimentalmente o inversor proposto.

## 1.3 Contribuições do Trabalho

Entende-se como as principais contribuições deste trabalho:

- Desenvolvimento de uma nova topologia inversor sem transformador que reduz a corrente de fuga e assegura uma alta eficiência comparado a inversores já existentes na literatura;

- Obtenção de modelo de modo comum que relaciona a corrente de fuga com a tensão da rede elétrica e a com a tensão de modo comum;
- Análise das mudanças no diagrama de Bode de cada parcela da corrente de fuga para variações nos valores da capacitância parasita e indutor do filtro de saída.

## 1.4 Organização do Texto

O restante desse trabalho está organizado da seguinte maneira:

No capítulo 2, inicialmente descreve-se as capacitâncias parasitas intrínsecas aos painéis fotovoltaicos. Em seguida, é apresentado o modelo de modo comum simplificado do inversor fotovoltaico sem transformador conectado à rede. Por fim, realiza-se uma revisão bibliográfica das principais técnicas e topologias de inversores propostos na literatura para redução da corrente de fuga nos sistemas fotovoltaicos.

No capítulo 3, é apresentado um modelo de modo comum detalhado do inversor monofásico sem transformador nos sistemas fotovoltaicos e realiza-se uma análise do comportamento da corrente de fuga em função das variações da tensão de modo comum e na tensão da rede. Em seguida, realiza-se uma análise do comportamento da corrente de fuga em função da variação da capacitância parasita e do indutor de filtro. Após isso, descreve-se a estrutura do conversor proposto, detalhando seus princípios de funcionamento e a modulação utilizada. Por fim, desenvolve-se a modelagem do inversor com o objetivo de controlar a corrente injetada na rede elétrica.

No capítulo 4, são apresentados os resultados de simulação do inversor proposto e das topologias presentes na literatura. Então, são comparadas as performances das topologias simuladas em relação a vários parâmetros, como taxa de distorção harmônica, corrente de fuga, número de dispositivos e tensão sobre as chaves. Realiza-se, então, uma análise das perdas do inversor proposto em comparação a quatro topologias de inversores sem transformador convencionais. Por fim, é detalhada a montagem experimental e apresentados os resultados que validam a nova topologia proposta.

No capítulo 5, realizam-se as conclusões sobre os resultados obtidos, além da sugestão de trabalhos futuros.

## 1.5 Publicação

Durante o desenvolvimento deste projeto, foi elaborado um artigo científico que apresenta o inversor sem transformador de alta eficiência proposto na seção 3. O artigo, intitulado "A Novel Single-Phase Transformerless Grid-Connected PV Inverter", foi publicado no congresso internacional *IEEE Energy Conversion Congress and Exposition (ECCE)*



---

2022), tendo como autores: Arnaldo O. Cunha Jr, Filipe A. C. Bahia, João P. R. A. Mélo, André P. N. Tahim e Fabiano F. Costa.



## 2 Revisão Bibliográfica

Neste capítulo, é apresentado o modelo concentrado das capacitâncias parasitas em sistemas fotovoltaicos sem transformador, seguido pelo modelo de modo comum frequentemente utilizado em estudos anteriores para o inversor monofásico aplicado a esses sistemas. Por fim, realiza-se uma revisão bibliográfica detalhada para discutir as principais topologias de inversores propostas na literatura com o objetivo de reduzir a corrente de fuga.

### 2.1 Capacitâncias Parasitas em Sistemas Fotovoltaicos

Uma das principais causas dos problemas de segurança em um sistema fotovoltaico sem transformador é a presença das capacitâncias parasitas entre as células dos painéis e o terra, conforme ilustrado na Figura 2. Existem três capacitâncias intrínsecas que podem ser resumidas da seguinte forma (CHEN et al., 2016):

1.  $C_{ce}$ : capacitância entre as células de silício do painel e sua estrutura de alumínio. Embora a área efetiva desse capacitor não seja grande, a distância entre suas placas é muito pequena, tornando seu valor considerável. A capacitância  $C_{ce}$  não depende do tipo de montagem dos módulos, mas sim dos materiais usados em sua confecção.
2.  $C_{cr}$ : Capacitância entre as células de silício e o *rack* de montagem. Seu valor varia com os diferentes tipos de montagem, visto que depende da forma e do tamanho dos *racks* utilizados.
3.  $C_{ct}$ : Capacitância entre as células dos módulos fotovoltaicos e o terra. É considerada o principal parâmetro parasita no sistema fotovoltaico, pois sua área efetiva é bem maior do que as outras capacitâncias. Assim como  $C_{cr}$ , seu valor também varia de acordo com a montagem dos painéis, visto que depende da distância das placas em relação ao solo.

Na Figura 2, é apresentado o modelo concentrado das capacitâncias parasitas em um arranjo de módulos fotovoltaicos. Como o *rack* de montagem e a estrutura de alumínio devem ser aterrados em um sistema fotovoltaico real, considera-se que as três capacitâncias estão em paralelo e a capacitância parasita total  $C_{FV}$  pode ser representada por:

$$C_{FV} = C_{ce} + C_{cr} + C_{ct}. \quad (2.1)$$

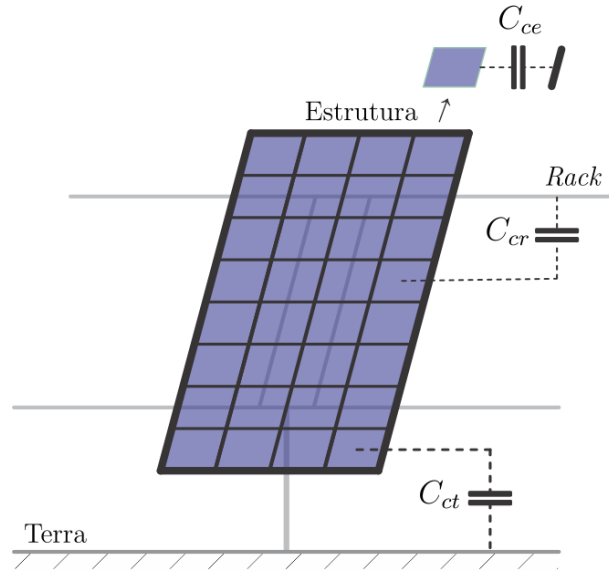


Fig. 2 – Modelo concentrado das capacitâncias parasitas em um arranjo de módulos fotovoltaicos.

Fonte: adaptado de [Chen et al. \(2016\)](#).

O valor da capacitância  $C_{FV}$  pode variar entre 50 a 150 nF/kW ([MYRZIK; CALAIS, 2003b](#)) e é diretamente proporcional ao tamanho dos painéis fotovoltaicos. Além disso, depende de diversos outros fatores, como a distância entre as células dos módulos fotovoltaicos, as condições climáticas, a umidade, a presença de partículas sobre os painéis, como areia e sal, entre outros ([CHEN et al., 2016](#); [MA et al., 2015b](#); [LOPEZ et al., 2007](#); [SU; SUN; LIN, 2011](#); [XIAO; XIE, 2010a](#)). A presença da capacitância parasita pode estabelecer um caminho direto entre a rede elétrica e os painéis fotovoltaicos caso não haja isolamento galvânico oferecida pelo transformador, ocasionando uma corrente de fuga através da terra que traz problemas de segurança, interferência eletromagnética e distorção na corrente injetada na rede. O comportamento dessa corrente e os diferentes modos de reduzi-la são analisados a seguir.

## 2.2 Modelo de Modo Comum

A fim de realizar uma análise inicial do comportamento da corrente de fuga, a Figura 3 apresenta o modelo de um sistema fotovoltaico sem transformador que utiliza um inversor em ponte completa para converter a corrente CC em corrente CA a ser injetada na rede elétrica. Na entrada do sistema, um arranjo de painéis fotovoltaicos, representados por Fotovoltaico (FV), são conectados ao capacitor  $C_1$ , denominado de capacitor do barramento CC. O barramento CC é ligado ao inversor, que por sua vez é conectado à rede elétrica através de um filtro L composto de dois indutores  $L_1$  e  $L_2$ , respectivamente conectados em cada um dos terminais de saída do inversor, denominados de A e B. A capacitância parasita  $C_{FV}$  é representada por um capacitor conectado ao

terminal negativo do arranjo de painéis fotovoltaicos, indicado como o ponto  $N$ . Através dessa capacitância, uma corrente parasita  $i_{cm}$  circula pelo solo devido aos aterramentos realizados na estrutura dos painéis fotovoltaicos e da rede elétrica.

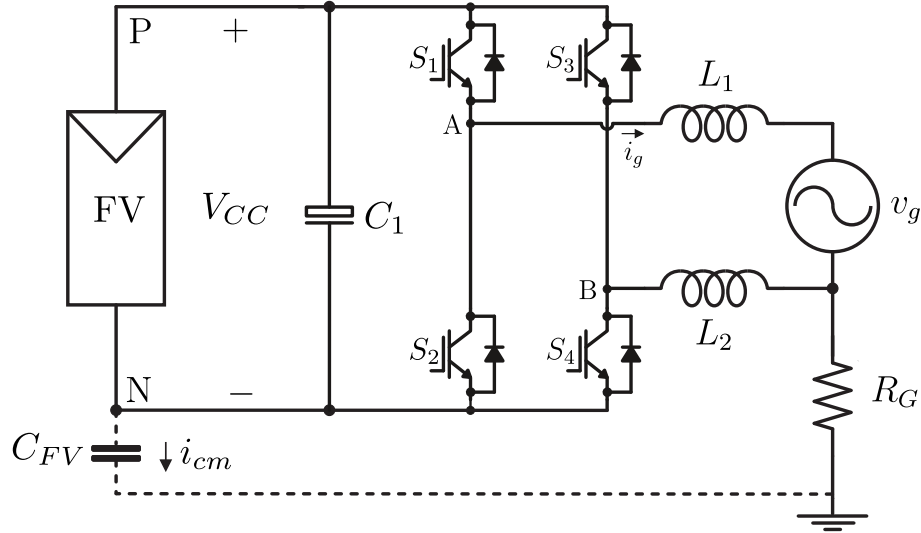


Fig. 3 – Modelo geral de um inversor fotovoltaico sem transformador.

Fonte: adaptado de [Freddy et al. \(2014a\)](#).

A conexão entre a rede elétrica e os painéis fotovoltaicos realizada pela capacitância parasita origina um circuito de modo comum ressonante com o filtro de saída, o conversor e a rede elétrica. Uma tensão de modo comum alternada, que depende principalmente da topologia, modulação e do esquema de controle utilizados, pode alimentar esse circuito ressonante e originar altos valores de corrente de fuga. Com o objetivo de compreender a natureza da tensão sobre a capacitância  $C_{FV}$ , os modelos representados na Figura 4 são utilizados.

A Figura 4a representa o sistema sem a presença da tensão  $V_{CC}$ , uma vez que o circuito está sendo analisado no domínio CA e o capacitor se comporta como um circuito aberto para tensões contínuas. Para fins de análise, o terminal  $N$  da fonte CC é adotado como ponto de referência. Com base nisso, as diferenças de potencial entre os terminais de saída do inversor e a referência  $N$  podem ser denominadas de tensões de polo do circuito, sendo identificadas como  $V_{AN}$  e  $V_{BN}$ . A Figura 4b apresenta o inversor fotovoltaico como duas fontes de tensão que representam suas tensões de polo.

A tensão diferencial de saída do conversor  $V_{AB}$  é determinada pela diferença entre as tensões  $V_{AN}$  e  $V_{BN}$ . Por outro lado, a tensão de modo comum  $V_{CM}$  é obtida através da média aritmética das tensões  $V_{AN}$  e  $V_{BN}$ , como apresentado nas equações a seguir:

$$V_{AB} = V_{AN} - V_{BN} \quad (2.2)$$

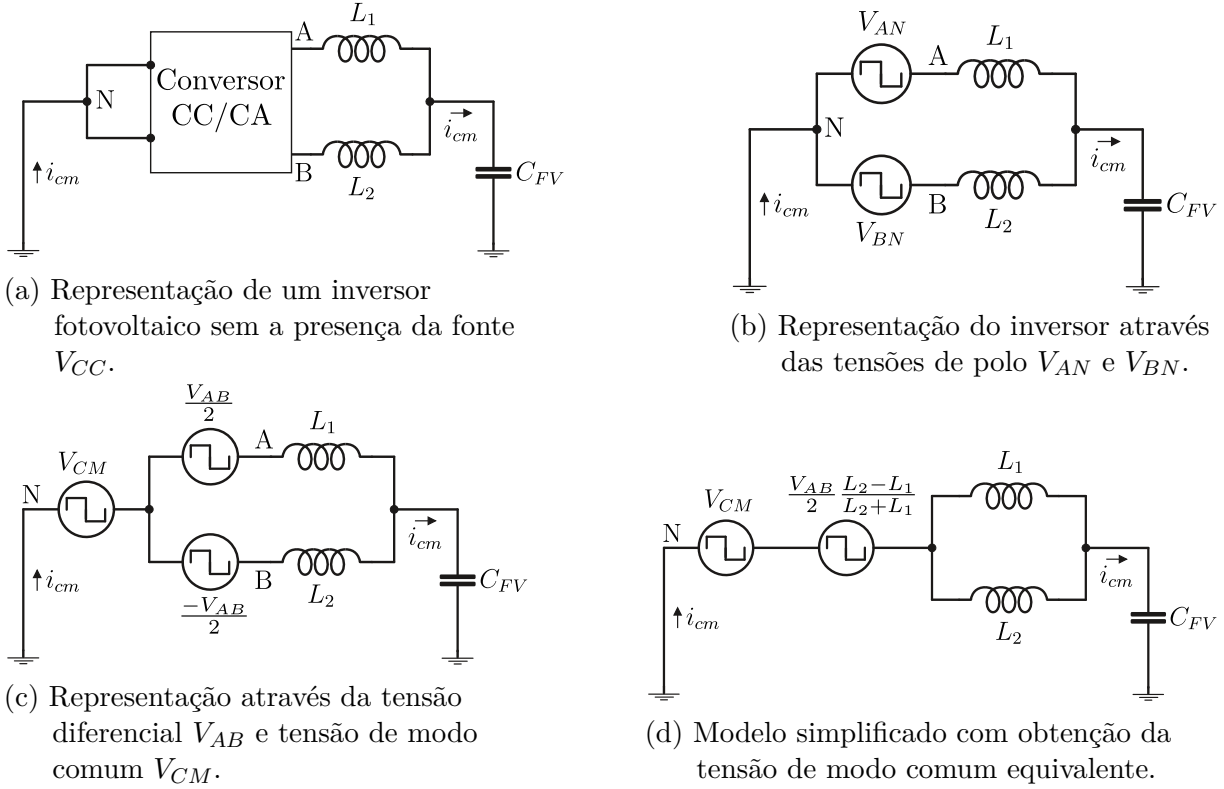


Fig. 4 – Modelo de modo comum de um inversor fotovoltaico sem transformador.

Fonte: adaptado de [Freddy et al. \(2014a\)](#).

$$V_{CM} = \frac{V_{AN} + V_{BN}}{2} \quad (2.3)$$

Utilizando as equações (3.1) e (3.2), é possível expressar as tensões de polo  $V_{AN}$  e  $V_{BN}$  em termos das tensões  $V_{AB}$  e  $V_{CM}$ , como demonstrado em (2.4) e (2.5):

$$V_{AN} = V_{CM} + \frac{V_{AB}}{2} \quad (2.4)$$

$$V_{BN} = V_{CM} - \frac{V_{AB}}{2} \quad (2.5)$$

A Figura 4c representa o sistema ao substituir as tensões de polo pelos valores obtidos em (2.4) e (2.5). Em estudos como o de [Gonzalez et al. \(2008\)](#), esse circuito é simplificado para o modelo apresentado na Figura 4d. Nesse caso, a tensão de modo comum equivalente  $V_{ECM}$  é descrita por:

$$V_{ECM} = V_{CM} + \frac{V_{AB}}{2} \frac{L_2 - L_1}{L_1 + L_2} \quad (2.6)$$

Ao analisar a equação (2.6), nota-se que a contribuição da tensão diferencial no modelo de modo comum do inversor fotovoltaico sem transformador é proporcional à

diferença entre os valores dos indutores em cada braço da saída do inversor ( $L_1$  e  $L_2$ ). Logo, caso os dois indutores tenham o mesmo valor, essa contribuição é anulada ([GONZALEZ et al., 2008](#)).

Neste caso, a corrente de fuga  $i_{cm}$  está fortemente correlacionada com o comportamento da tensão de modo comum  $V_{CM}$ . Essa tensão, por sua vez, é influenciada pela topologia de inversor utilizada no sistema. Isso ocorre pois a tensão de modo comum é determinada pela média aritmética das tensões de polo  $V_{AN}$  e  $V_{BN}$ , que variam a cada modo de operação do inversor. A variação da tensão  $V_{CM}$  faz com que as capacitâncias parasitas do sistema sejam constantemente carregadas e descarregadas. Essa situação provoca a ocorrência de altos valores de corrente de fuga.

Como mencionado anteriormente, a reatância capacitiva tende ao infinito para tensões contínuas. Com base nisso, pode-se concluir que uma maneira de mitigar a corrente de fuga nos sistemas sem transformador é garantir que  $V_{CM}$  permaneça constante durante todo o período de funcionamento do inversor. Ao fazer isso, é possível atender os requisitos estabelecidos pelas normas para a circulação das correntes de fuga nesses sistemas.

## 2.3 Requisitos para Sistemas Fotovoltaicos Conectados à Rede

Os sistemas fotovoltaicos devem cumprir alguns requisitos que são regulamentados por normas internacionais e nacionais. Internacionalmente, a norma IEC 62109-2 ([COMMISSION, 2011](#)) determina requisitos de segurança para os inversores nesses sistemas e serve como base para normas de vários países. No Brasil, a norma NBR 16690 ([Associação Brasileira de Normas Técnicas \(ABNT\), 2018](#)) determina os requisitos de projeto para instalações elétricas de arranjos fotovoltaicos, enquanto a NBR 16149 ([Associação Brasileira de Normas Técnicas \(ABNT\), 2013](#)) determina características da interface de conexão com a rede elétrica de distribuição.

Essas normas estabelecem diversas métricas para a operação adequada do sistema fotovoltaico. Entre as principais métricas estão a distorção harmônica total, ou *total harmonic distortion* (THD) em inglês, os níveis de harmônicas na corrente injetada na rede, o nível da corrente CC injetada, a corrente de fuga, a faixa de operação da tensão e frequência da rede, o fator de potência (FP), além de requisitos para detecção de ilhamento, critérios para aterramento, reconexão e sincronização automática do sistema.

Em relação à corrente de fuga, também denominada de corrente residual, tanto a norma internacional IEC 62109-2 como a norma brasileira NBR 16690 determinam um valor máximo de 300 mA rms para uma Unidade de Condicionamento de Potência (UCP) de até 30 kVA. Caso a corrente exceda esse valor, o sistema de supervisão de corrente residual deve causar interrupção em até 0,3 s. Além disso, a UCP deve ser desligada de qualquer circuito de saída referenciado ao terra (a rede elétrica, por exemplo) dentro de

0,5 s caso ocorra um aumento repentino de 100 mA rms nas correntes residuais.

## 2.4 Topologias de Inversores Monofásicos sem Transformador

A fim de solucionar os problemas causados pela ausência dos transformadores, as topologias de inversores sem transformador para sistemas fotovoltaicos utilizam diferentes técnicas para mitigar a corrente parasita que circula nesses sistemas. Baseado na técnica utilizada, esses inversores podem ser divididos em três grandes classes:

1. Inversores com terra comum;
2. Inversores com desacoplamento do estado-zero;
3. Inversores com grampeamento ao ponto central.

As topologias com terra comum possuem uma conexão galvânica entre o neutro da rede elétrica e um ponto de referência do barramento CC. Essa configuração garante que a tensão sobre a capacitância parasita se mantenha constante durante toda a operação do inversor, evitando assim a ocorrência de altos valores de corrente de fuga. As topologias de desacoplamento do estado-zero permitem o desacoplamento dos módulos fotovoltaicos da rede elétrica durante os modos de roda-livre do inversor. Esses modos de operação ocorrem quando a corrente não flui da fonte CC para a rede, mas sim circula entre a rede elétrica e as chaves do inversor. Já as topologias de grampeamento ao ponto central não apenas desacoplam, mas também grampeiam o circuito de roda-livre ao ponto central do barramento CC. Nesta seção, são apresentadas as topologias mais comuns propostas na literatura, destacando suas características, vantagens, limitações e aplicações.

### 2.4.1 Inversores de Terra Comum

As topologias com terra comum são caracterizadas por uma ligação galvânica entre o neutro da rede elétrica e a referência da fonte CC. Com essa ligação, a tensão sobre as capacitâncias parasitas do sistema se mantém constante durante todo o período de funcionamento do inversor e a corrente de fuga é aproximadamente zero.

#### 2.4.1.1 Inversor NPC

A fim de melhorar a eficiência e reduzir o *ripple* da corrente de saída do inversor em meia-ponte, a topologia denominada de *Neutral Point Clamped* (NPC) foi proposta por Baker em uma patente na década de 70 e primeiramente mencionada em um artigo por Nabae, Takahashi e Akagi (1981). Este inversor foi de grande importância para a



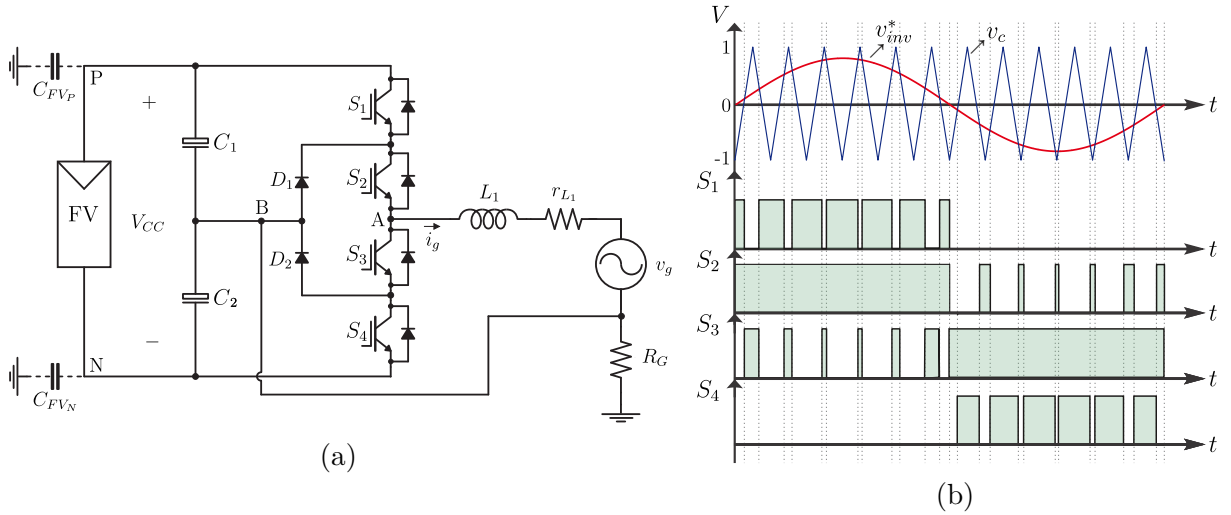


Fig. 5 – Estrutura (a) e pulsos de chaveamento (b) do inversor NPC.

Fonte: adaptado de Nabae, Takahashi e Akagi (1981).

época pela redução do tamanho e custo do filtro ao produzir uma tensão de saída de três níveis (MA et al., 2015a; CALAIS; AGELIDIS, 1998).

A versão monofásica em meia-ponte do inversor NPC é apresentada na Figura 5a, enquanto os pulsos de chaveamento são exibidos na Figura 5b. Durante o modo ativo do semiciclo positivo da tensão de referência, as chaves  $S_1$  e  $S_2$  são acionadas e a corrente  $i_g$  flui através delas para a rede elétrica. A tensão de saída entre os dois terminais de saída do inversor ( $V_{AB}$ ) é estabelecida em  $\frac{V_{CC}}{2}$ . Já durante o modo ativo do semiciclo negativo da tensão de referência,  $S_3$  e  $S_4$  são acionadas e a corrente flui da rede elétrica para o ponto central do barramento CC por meio dessas chaves. Nesse período, a tensão aplicada na saída é de  $-\frac{V_{CC}}{2}$ . Durante os períodos de roda-livre, as chaves  $S_2$  e  $S_3$  são acionadas em ambos os semiciclos da tensão de referência. Durante esses modos, a tensão  $V_{AB}$  é estabelecida em zero, os dispositivos  $D_1$  e  $S_2$  conduzem caso a corrente  $i_g$  seja positiva, enquanto  $S_3$  e  $D_2$  conduzem caso  $i_g$  seja negativa.

Como o ponto de aterramento da rede elétrica está sempre conectada ao ponto central do barramento CC, a tensão sobre as capacitâncias parasitas nesse sistema são mantidas fixas, o que reduz a corrente de fuga a aproximadamente zero. No entanto, esta topologia possui duas principais desvantagens: a primeira é que, por ser uma topologia em meia-ponte, a tensão do barramento CC precisa ser o dobro do que em topologias baseadas no inversor em ponte-completa. Além disso, o inversor NPC possui uma distribuição desigual das perdas nas chaves, o que requer o superdimensionamento dos dispositivos semicondutores utilizados em cerca de 30% a 50% acima de sua corrente nominal (BRUCKNER; BERNET; GULDNER, 2005a).

### 2.4.1.2 Inversor ANPC

Para solucionar os problemas de distribuição irregular de perdas, [Bruckner, Bernet e Guldner \(2005a\)](#) propuseram um inversor, denominado de *Active Neutral Point Clamped* (ANPC), que substitui os diodos  $D_1$  e  $D_2$  da topologia NPC pelas chaves  $S_5$  e  $S_6$ . Com essa alteração, o grampeamento ao ponto central pode ser realizado pelo caminho superior, formado pelas chaves  $S_2$  e  $S_5$ , ou pelo caminho inferior, formado pelas chaves  $S_3$  e  $S_6$  ([MA et al., 2009](#); [MA et al., 2009](#)). A estrutura do conversor e os pulsos de chaveamento são apresentados na Figura 6. As chaves  $S_1$  a  $S_4$  são acionadas da mesma forma que no inversor NPC. A chave  $S_6$  é acionada durante o semiciclo positivo da tensão de referência, garantindo que  $i_g$  percorra o caminho inferior do ramo de grampeamento nos dois sentidos da corrente. No semiciclo negativo da tensão de referência,  $S_5$  é acionada de forma a garantir que  $i_g$  percorra o caminho superior do ramo de grampeamento em ambos os sentidos da corrente. Essa possibilidade de grampeamento nos dois sentidos da corrente permite o controle das perdas de condução e de chaveamento do inversor. Os estados redundantes de chaveamento são escolhidos de forma a garantir a distribuição uniforme das perdas, elevando a eficiência do conversor ([RODRIGUEZ et al., 2010](#); [BRUCKNER; BERNET; GULDNER, 2005b](#)). Com a adoção dessa topologia, o superdimensionamento dos dispositivos semicondutores é reduzido, já que a distribuição das perdas é equilibrada.

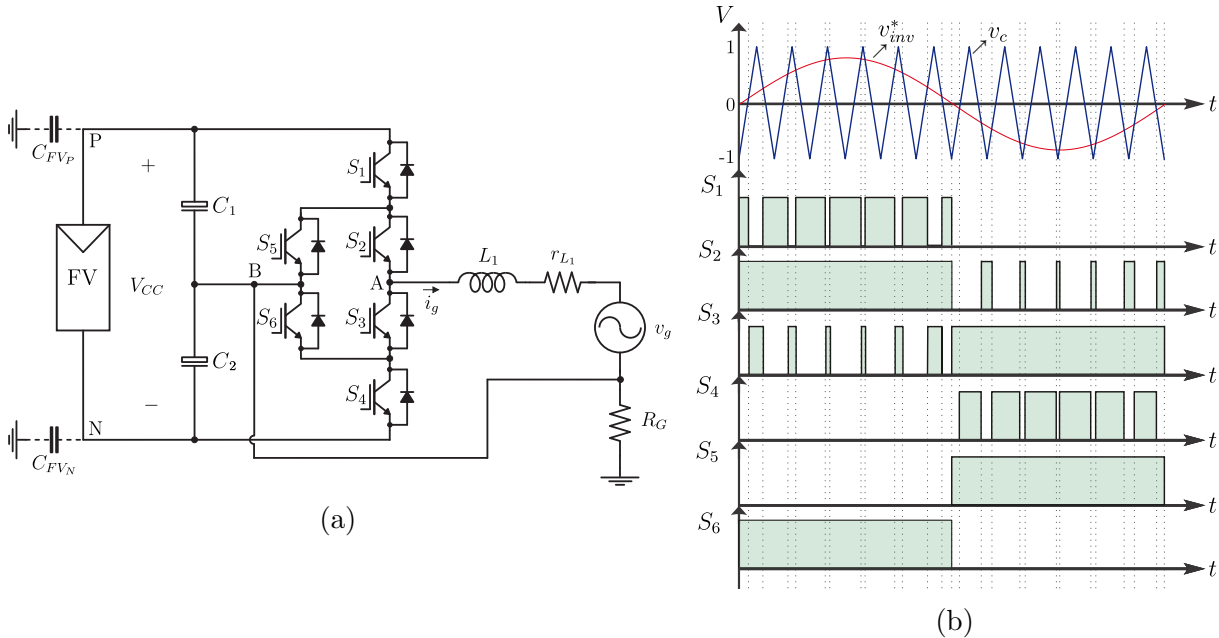


Fig. 6 – Estrutura (a) e pulsos de chaveamento (b) do inversor ANPC.

Fonte: adaptado de [Bruckner, Bernet e Guldner \(2005a\)](#).

#### 2.4.1.2.1 Inversor Tipo T

A fim de reduzir as perdas por chaveamento e diminuir o número de chaves em comparação às topologias em meia-ponte mencionadas anteriormente, foi proposto o

inversor apresentado na Figura 7a. Esta topologia, patenteada pela empresa alemã Conergy (KNAUP, 2009) e mais tarde denominada de inversor tipo T (SCHWEIZER; FRIEDLI; KOLAR, 2013; MA et al., 2009), utiliza duas chaves para conectar uma das saídas do inversor meia-ponte ao ponto central do barramento CC, que por sua vez está ligado ao neutro da rede elétrica.

O comportamento desse inversor pode ser observado na Figura 7b, onde são apresentados os sinais de *gate* das suas chaves. Durante o semiciclo positivo, a chave  $S_4$  permanece sempre ativa, enquanto  $S_1$  e  $S_3$  comutam complementarmente na frequência de chaveamento, permitindo que a corrente flua ora através de  $S_1$ , ora através de  $S_4$  e do diodo em anti-paralelo a  $S_3$ . Durante o semiciclo negativo,  $S_3$  permanece ativa, enquanto as chaves  $S_2$  e  $S_4$  comutam complementarmente, de modo que a corrente  $i_g$  flui ora através de  $S_2$ , ora através de  $S_3$  e do diodo em anti-paralelo a  $S_4$ . Com essa estratégia, além de diminuir a quantidade de chaves do inversor, o número de dispositivos no caminho da corrente é reduzido em relação às topologias NPC e ANPC. Como consequência, as perdas por condução são reduzidas, proporcionando maior eficiência ao sistema.

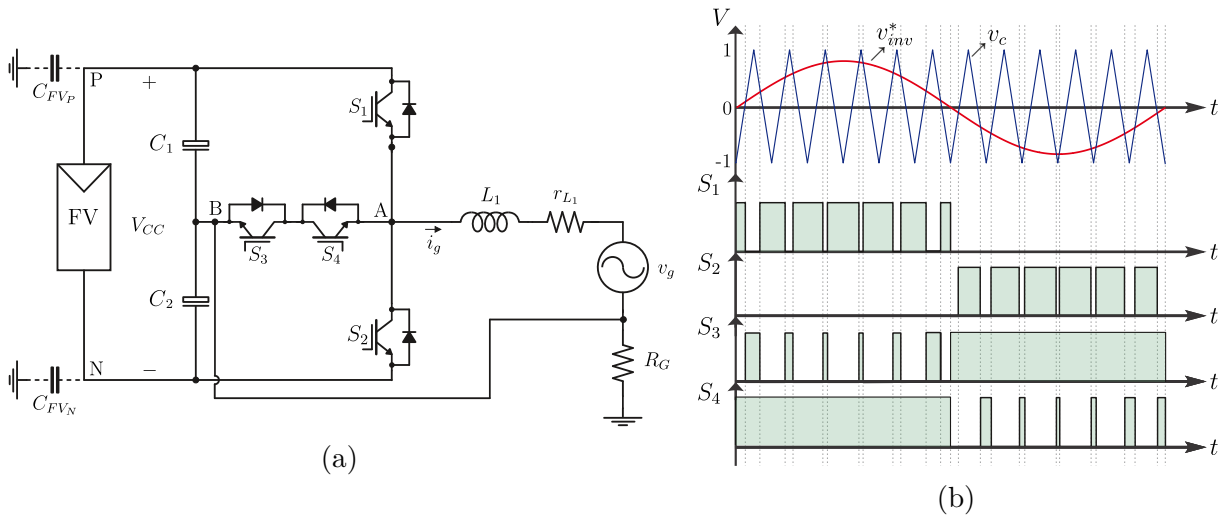


Fig. 7 – Estrutura (a) e pulsos de chaveamento (b) do inversor Tipo T.

Fonte: adaptado de Knaup (2009).

Os inversores NPC, ANPC e tipo T são muito utilizados em conversores multinível para elevar a qualidade de energia e reduzir a complexidade das aplicações de alta potência (CHEN; HOTCHKISS; BAZZI, 2018; SAMADAEI et al., 2018; MEHTA; KUMAR, 2018). São úteis também para obter uma alta eficiência com baixas perdas de chaveamento (BISWAS; KUMAR; MAITY, 2018; NOOR et al., 2013).

## 2.4.2 Inversores com Desacoplamento do Estado-Zero

A topologia de inversor em ponte completa, ilustrada na Figura 3, apresenta diversas vantagens para aplicação em sistemas fotovoltaicos, como sua estrutura simples, que resulta

em menor custo e maior eficiência. Além disso, sua utilização permite uma tensão de barramento CC menor em comparação com o inversor em meia-ponte, o que possibilita a utilização de capacitores de barramento menos robustos e uma menor quantidade de módulos fotovoltaicos em série. A operação desse inversor com Modulação por Largura de Pulso Senoidal Bipolar, do inglês *Bipolar Sinoidal Pulse Width Modulation* (SPWM), resulta em uma tensão diferencial de dois níveis na saída do inversor e uma tensão de modo comum aproximadamente constante. Visto que a corrente de fuga  $i_{cm}$  depende fortemente da tensão de modo comum, conforme apresentado na seção 2.2, as correntes residuais do inversor em ponte completa com SPWM bipolar são reduzidas. Entretanto, devido ao número limitado de níveis, a tensão de saída possui um *ripple* elevado, o que aumenta o tamanho do filtro e, conseqüentemente, reduz a eficiência do sistema.

Para aumentar o número de níveis e reduzir o tamanho do filtro, uma opção é operar o inversor em ponte completa com modulação SPWM unipolar, que resulta em três níveis de tensão na saída. No entanto, esse modo de operação introduz variações de alta frequência na tensão de modo comum, sobretudo na frequência de chaveamento. Para gerar os três níveis de saída, é necessário acionar o modo de operação que resulta em uma tensão nula, chamado de estado-zero, que é ativado ligando as duas chaves superiores ou inferiores do circuito. Esse modo também é conhecido como período de roda-livre, pois a corrente da rede elétrica flui entre as chaves do inversor sem passar pela fonte CC. Os estados ativos e estados-zero são acionados em todos os períodos de chaveamento, resultando em variações de alta frequência na tensão de modo comum.

Nos sistemas fotovoltaicos sem transformador, as variações de alta frequência na tensão de modo comum são altamente indesejáveis, visto que resultam na circulação das correntes de fuga. Uma abordagem para reduzir essas variações e mitigar a corrente de fuga consiste em desacoplar a rede elétrica dos painéis fotovoltaicos durante os períodos de estado-zero. Nesta subseção, são apresentadas as principais topologias presentes na literatura que utilizam essa técnica.

#### 2.4.2.1 Desacoplamento CC

No desacoplamento CC, chaves são acrescentadas ao lado CC do inversor em ponte completa com a finalidade de desativá-las nos períodos de roda-livre, de forma a isolar os módulos fotovoltaicos da rede elétrica durante esses estados. Essa técnica pode ajudar a reduzir a circulação da corrente de fuga, mas ela não é completamente eliminada devido às capacitâncias de junção das chaves, que podem gerar pequenas variações na tensão de modo comum e ainda servir como caminho para essa corrente indesejada (YANG et al., 2012). A principal desvantagem do desacoplamento CC é que as chaves adicionadas para isolar a ponte-H da fonte CC passam a integrar o caminho da corrente durante os estados ativos, aumentando as perdas por condução.

## 2.4.2.1.1 Inversor H5

O inversor H5, proposto por Victor et al. (2008), é apresentado na figura 8a. Desenvolvida pela SMA Solar Technology, uma das maiores produtoras de inversores fotovoltaicos do mundo, essa topologia é composta por um inversor em ponte completa com uma chave adicional ( $S_5$ ) que realiza o desacoplamento CC do inversor durante o período de roda-livre, operando na frequência de chaveamento  $f_{sw}$ . Enquanto as chaves superiores  $S_1$  e  $S_3$  operam na frequência da rede elétrica, as chaves inferiores  $S_2$  e  $S_4$  comutam na frequência  $f_{sw}$ .

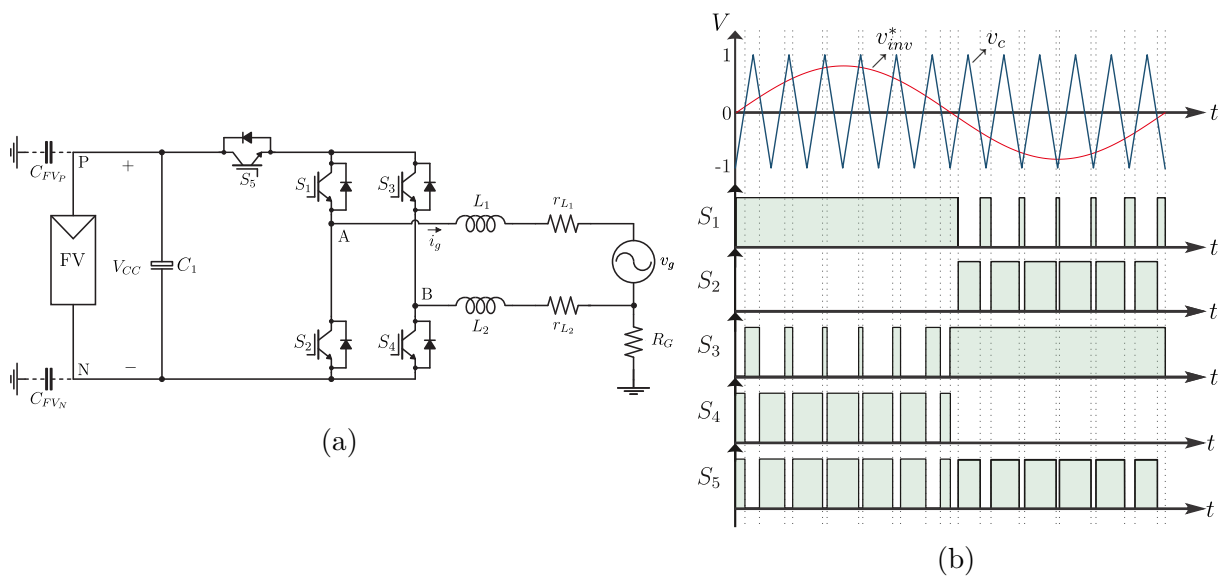


Fig. 8 – Estrutura (a) e pulsos de chaveamento (b) do inversor H5.

Fonte: adaptado de Victor et al. (2008).

O diagrama de pulsos de chaveamento deste conversor é apresentado na Figura 8b. Uma modulação SPWM unipolar é utilizada para obter uma saída de tensão de três níveis no inversor. Durante os modos ativos, o transistor  $S_5$  permanece ativo, enquanto as chaves  $S_1$  a  $S_4$  operam da mesma forma que no inversor em ponte completa, com  $S_1$  e  $S_4$  sendo acionadas no semiciclo positivo da tensão de referência, enquanto  $S_2$  e  $S_3$  são ligadas no semiciclo negativo. Já durante os estados-zero, a chave  $S_5$  é aberta para desacoplar a fonte CC da rede elétrica, permitindo que a corrente flua através da chave bidirecional formada pelos transistores  $S_1$  e  $S_3$ . Com isso,  $i_g$  flui através da chave  $S_1$  e do diodo em anti-paralelo de  $S_3$  caso a corrente esteja no sentido positivo, enquanto flui por  $S_3$  e pelo diodo em anti-paralelo de  $S_1$  no sentido negativo da corrente. A maior desvantagem desse inversor, como já explicado anteriormente, é que a chave  $S_5$ , utilizada para realizar o desacoplamento CC, sempre se encontra no caminho da corrente durante os modos ativos, o que aumenta as perdas por condução e reduz a eficiência.

### 2.4.2.2 Desacoplamento CA

A técnica de desacoplamento em CA consiste em adicionar chaves no lado CA do inversor para isolar a rede elétrica dos painéis fotovoltaicos durante os períodos de estado-zero. Embora esta técnica permita uma redução da corrente de fuga, a tensão de modo comum não é mantida constante durante todo o funcionamento do inversor, assim como ocorre nas topologias com desacoplamento CC. Isso acontece pois o ramo de roda-livre flutua em relação ao barramento CC durante os modos de estado-zero. Nesta seção, serão apresentados dois inversores que utilizam o desacoplamento CA para mitigar a corrente de fuga nos sistemas fotovoltaicos.

#### 2.4.2.2.1 Inversor HERIC

A topologi, denominada de *Highly Efficient and Reliable Inverter Concept* (HERIC), foi proposta em (SCHMIDT; SIEDLE; KETTERER, 2003). Desenvolvida em 2003 pela fabricante de inversores alemã Sunway's Solar Inverter, foi amplamente utilizada em vários conversores comerciais (ARAUJO; ZACHARIAS; MALLWITZ, 2010; BURGER; KRANZER, 2009). Nesta topologia, apresentada na Figura 9a, o desacoplamento CA é realizado por uma chave bidirecional formada por  $S_5$  e  $S_6$ . Durante os períodos de roda-livre, a corrente flui apenas por uma das chaves e do diodo em anti-paralelo da outra, o que torna esse conversor uma alternativa de alta eficiência para redução da corrente de fuga.

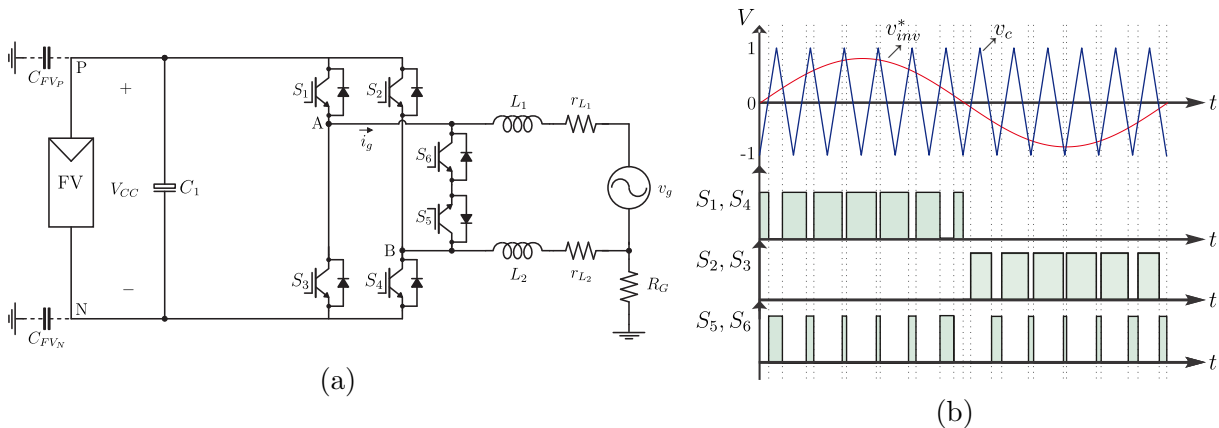


Fig. 9 – Estrutura (a) e pulsos de chaveamento (b) do inversor HERIC.

Fonte: adaptado de Schmidt, Siedle e Ketterer (2003).

A modulação SPWM aplicada a este inversor é ilustrada na Figura 9b. No semiciclo positivo, as chaves  $S_1$  e  $S_4$  são acionadas durante o modo ativo e a corrente flui através delas, enquanto as chaves  $S_5$  e  $S_6$  são ativas nos períodos de roda-livre e a corrente flui por  $S_5$  e pelo diodo em anti-paralelo de  $S_6$ . Durante o semiciclo negativo, a corrente flui através de  $S_2$  e  $S_3$  que estão ativas durante o modo ativo, enquanto que  $S_6$  e o diodo em anti-paralelo de  $S_5$  conduzem no período de roda-livre. No momento em que é realizado o

desacoplamento, a tensão de modo comum oscila, pois a saída do inversor está flutuando em relação ao barramento CC e não há controle sobre as tensões de polo nesse momento. De toda forma, a corrente de fuga é reduzida (KEREKES et al., 2011; PAULINO; MENEGÁZ; SIMONETTI, 2011) e a eficiência do inversor é mantida elevada, visto que apenas dois dispositivos semicondutores conduzem em todos os períodos de chaveamento (KEREKES, 2009).

#### 2.4.2.2.2 Topologia H6 com diodos

Foi proposto em (JI; WANG; ZHAO, 2013) outro inversor que utiliza o desacoplamento CA para reduzir a corrente de fuga. Nessa topologia, apresentada na Figura 10a, quatro transistores atuam como chaves de um inversor de ponte completa, enquanto duas chaves e dois diodos extras são adicionados para servir como caminho da corrente durante os estados de tensão zero.

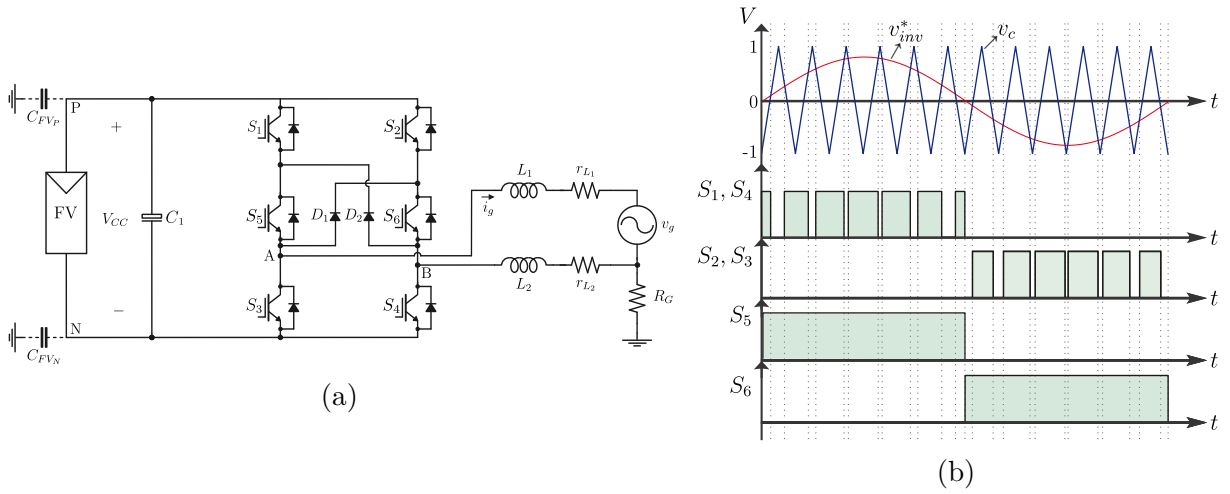


Fig. 10 – Estrutura (a) e pulsos de chaveamento (b) do inversor H6 com diodos.

Fonte: adaptado de Ji, Wang e Zhao (2013).

Os pulsos de chaveamento desse inversor são apresentados na Figura 10b. Durante o modo de condução do semiciclo positivo, as chaves  $S_1$ ,  $S_4$  e  $S_5$  são acionadas e a corrente injetada na rede flui através delas, enquanto que no estado de roda-livre apenas a chave  $S_5$  continua ativa e a corrente percorre  $D_2$  e  $S_5$ . No modo ativo do semiciclo negativo, as chaves  $S_2$ ,  $S_3$  e  $S_6$  são acionadas e conduzem  $i_g$ , enquanto que durante o período de roda-livre apenas a chave  $S_6$  permanece acionada, servindo de caminho da corrente junto ao diodo  $D_1$ . A grande desvantagem dessa topologia é que a corrente nos modos ativos do inversor sempre passam por três transistores, aumentando assim as perdas por condução.



### 2.4.3 Topologias de Grampeamento ao Ponto Central

Como discutido ao longo da subseção 2.4.2, o desacoplamento de estado-zero não garante a eliminação da corrente de fuga. Isso acontece pois, em inversores que utilizam esta técnica, as tensões de polo  $V_{AN}$  e  $V_{BN}$  flutuam em relação ao barramento CC durante os períodos de roda-livre. Dessa forma, a tensão de modo comum, dada pela média aritmética das duas tensões de polo, passa a ser determinada pela interação das capacitâncias de junção das chaves com os circuitos ressonantes presentes no circuito. Isso resulta em variações da tensão de modo comum e, conseqüentemente, em uma corrente de fuga que fluirá pelo sistema. Para solucionar este problema, foram desenvolvidas tecnologias que conectam o caminho da corrente durante os períodos de roda-livre ao ponto central do barramento CC. Com isso, consegue-se fixar a tensão de modo comum em metade da tensão da fonte CC e, dessa forma, mitigar a corrente de fuga (ZHANG et al., 2013a; XIAO; XIE, 2010b; XIAO et al., 2011). Esta subseção apresenta algumas das principais topologias de inversores que aplicam esta técnica.

#### 2.4.3.1 Inversor oH5

A topologia proposta em Xiao et al. (2011) foi desenvolvida com base no inversor H5, discutido na seção 2.4.2.1.1. Além da chave extra existente no H5 que realiza o desacoplamento CC, a topologia denominada de *Optimized H5* (oH5) e apresentada na Figura 11a possui mais uma chave adicionada ao lado CC do inversor em ponte completa, que tem como objetivo realizar o grampeamento ao ponto central do barramento CC, composto por um divisor de tensão capacitivo.

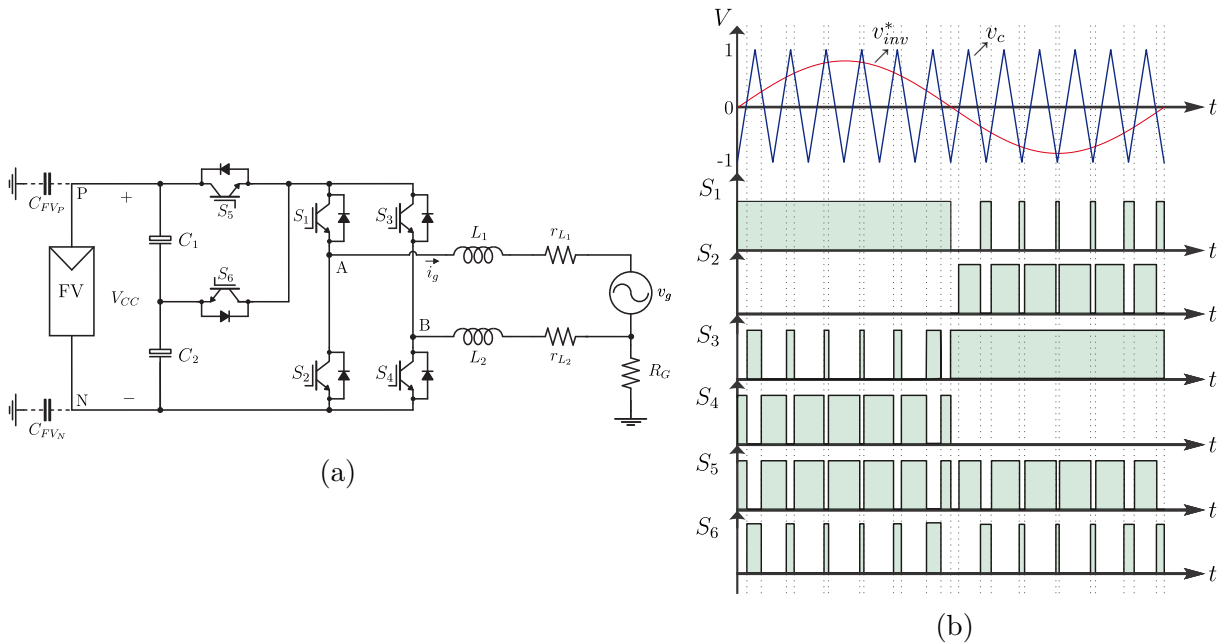


Fig. 11 – Estrutura (a) e pulsos de chaveamento (b) do inversor oH5.

Fonte: adaptado de Xiao et al. (2011).



A modulação aplicada nesta topologia é apresentada na Figura 11b. A chave  $S_5$  é sempre ativa nos modos de condução do inversor em ambos os semiciclos. Durante esses modos, a corrente flui pelas chaves  $S_5$ ,  $S_1$  e  $S_4$  no semiciclo positivo e pelas chaves  $S_5$ ,  $S_2$  e  $S_3$  no semiciclo negativo. A chave extra  $S_6$  opera de maneira complementar a  $S_5$ , sendo acionada nos períodos de roda-livre do inversor. Nesses períodos, a corrente sempre flui através da chave bidirecional formada por  $S_1$  e  $S_3$ . No semiciclo positivo, a chave  $S_1$  e o diodo em anti-paralelo de  $S_3$  conduzem  $i_g$ , enquanto no semiciclo negativo a corrente flui através de  $S_3$  e pelo diodo em anti-paralelo de  $S_1$ .

O grampeamento ao ponto central do barramento CC realizado pela chave  $S_6$  garante que a tensão de modo comum se mantenha constante durante todos os períodos de roda-livre. Caso o potencial do laço de roda-livre, do inglês *freewheeling path voltage* ( $V_{FP}$ ), seja menor do que metade da tensão do barramento CC, o diodo em anti-paralelo de  $S_6$  é diretamente polarizado e passa a conduzir uma pequena corrente até que a tensão do laço se iguale a  $\frac{V_{CC}}{2}$ . Caso  $V_{FP}$  seja maior do que  $\frac{V_{CC}}{2}$ , a chave  $S_6$  conduzirá a corrente até que se iguale ao valor desejado, fazendo com que a tensão de modo comum se mantenha fixa em  $\frac{V_{CC}}{2}$  e a corrente de fuga seja reduzida.

A fim de prevenir o curto-circuito no capacitor  $C_1$  do barramento CC, um tempo de espera, denominado de tempo morto, é acrescentado entre os sinais de disparo das chaves  $S_5$  e  $S_6$ . Contudo, durante o tempo morto, a tensão de modo comum oscila, levando ao aumento da corrente de fuga nesse período. Além disso, essa topologia apresenta a desvantagem característica dos inversores com desacoplamento CC, que é um aumento nas perdas por condução devido à presença da chave de desacoplamento  $S_5$  no caminho da corrente durante os modos ativos do inversor.

#### 2.4.3.2 Inversor H6

Gonzalez et al. (2007) propôs uma nova topologia ao adicionar duas chaves de desacoplamento CC e um ramo de grampeamento ao inversor em ponte completa. Esta topologia, ilustrada na Figura 12a, apresenta um ramo de grampeamento com um divisor de tensão capacitivo e dois diodos com o objetivo de fixar a tensão de modo comum na metade da tensão do barramento CC durante todo o período de funcionamento do inversor.

Os pulsos de disparo do inversor são apresentados na Figura 12b. Durante o semiciclo positivo, as chaves  $S_1$  e  $S_4$  estão sempre ativas e as chaves  $S_5$  e  $S_6$  comutam na frequência de chaveamento com os mesmos sinais de disparo e de maneira complementar a  $S_2$  e  $S_3$ . No modo ativo do inversor, que produz uma tensão de saída  $V_{AB} = \frac{V_{CC}}{2}$ , as chaves  $S_1$ ,  $S_4$ ,  $S_5$  e  $S_6$  funcionam como caminho da corrente injetada na rede. No período de roda-livre,  $S_2$  e  $S_3$  são acionadas e a corrente se divide por dois caminhos:  $S_1$  e o diodo em anti-paralelo de  $S_3$  e por  $S_4$  e o diodo em anti-paralelo de  $S_2$ . No semiciclo negativo,  $S_2$  e  $S_3$  estão sempre acionadas e as chaves  $S_1$  e  $S_4$  comutam complementarmente a  $S_5$

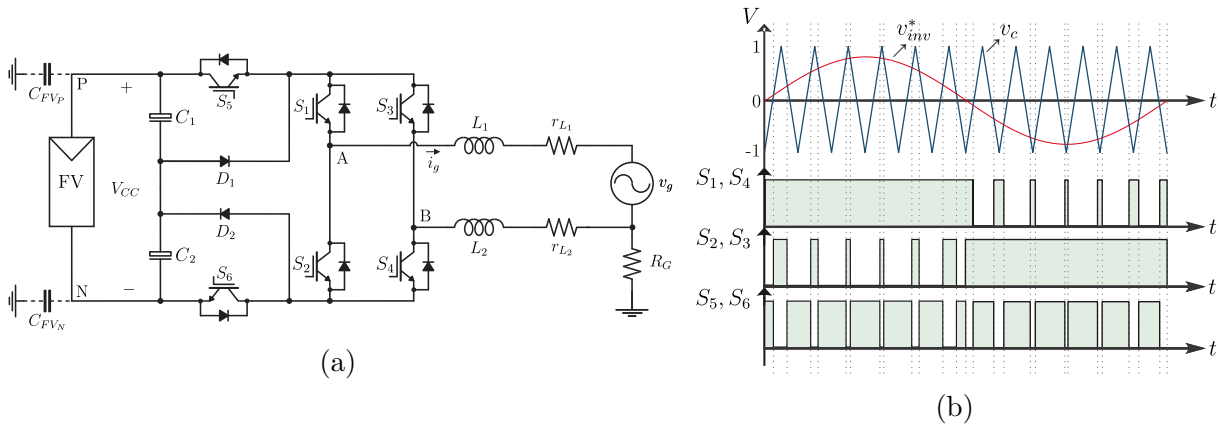


Fig. 12 – Estrutura (a) e pulsos de chaveamento (b) do inversor H6.

Fonte: adaptado de [Gonzalez et al. \(2007\)](#).

e  $S_6$ . Durante o modo ativo, a corrente flui através de  $S_2$ ,  $S_3$ ,  $S_5$  e  $S_6$ , enquanto que no modo de roda-livre se divide em dois caminhos:  $S_3$  e o diodo em anti-paralelo de  $S_1$  e por  $S_2$  e o diodo em anti-paralelo de  $S_4$ .

Para garantir a tensão de modo comum constante, os diodos  $D_1$  e  $D_2$  realizam o grampeamento ao ponto central do barramento CC. Caso a tensão do laço de grampeamento  $V_{FP}$  fique menor do que  $\frac{V_{CC}}{2}$ , o diodo  $D_1$  é polarizado diretamente e conduz uma pequena corrente até que as tensões se igualem. Caso contrário, o diodo  $D_2$  garante que  $V_{FP}$  se iguale a  $\frac{V_{CC}}{2}$ . A maior desvantagem desta topologia é que a corrente injetada na rede sempre passa por quatro chaves durante os períodos ativos do inversor, elevando as perdas por condução e diminuindo sua eficiência.

#### 2.4.3.3 Inversor PN-NPC

O inversor NPC é uma base importante de exploração para os sistemas fotovoltaicos conectados à rede ([GONZALEZ et al., 2008](#); [RODRIGUEZ et al., 2010](#)). Em [Zhang et al. \(2013b\)](#), o autor propõe dois tipos de células de chaveamento denominadas de *Positive Neutral Point Clamped Cell* (P-NPCC) e *Negative Neutral Point Clamped Cell* (N-NPCC). Da junção dessas duas células, é proposta a topologia denominada de *Positive Negative Neutral Point Clamped* (PN-NPC). A Figura 13a apresenta a estrutura do inversor, enquanto a Figura 13b exibe os sinais de disparo das chaves.

O funcionamento desse inversor é similar ao modo de operação da topologia H6. Durante o modo ativo do semiciclo positivo da tensão de referência, as chaves  $S_1$ ,  $S_4$ ,  $S_5$  e  $S_6$  conduzem a corrente  $i_g$  da fonte CC para a rede elétrica. No modo ativo do semiciclo negativo, a corrente  $i_g$  flui através das chaves  $S_2$  e  $S_3$ . Nos períodos de roda-livre em ambos os semiciclos da corrente, as chaves  $S_1$ ,  $S_2$ ,  $S_3$  e  $S_4$  se mantêm desligadas para realizar o desacoplamento do inversor. Durante o semiciclo positivo, a corrente  $i_g$  percorre a roda-livre composta por  $S_5$ ,  $S_6$  e os diodos em anti-paralelo de  $S_7$  e  $S_8$ . Já no semiciclo

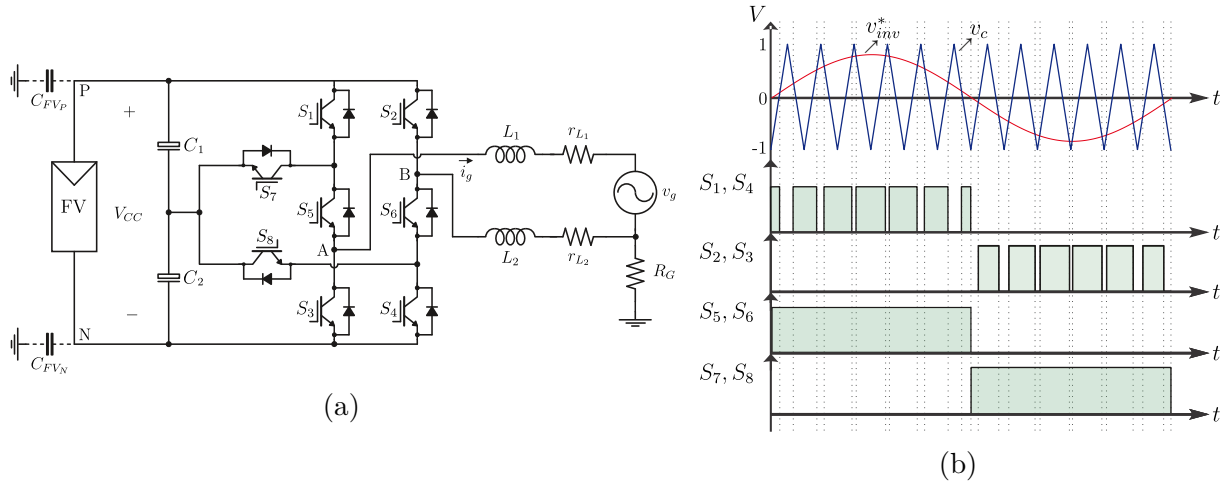


Fig. 13 – Estrutura (a) e pulsos de chaveamento (b) do inversor PN-NPC.

Fonte: adaptado de Zhang et al. (2013b).

negativo, o caminho da corrente  $i_g$  é composto por  $S_7$ ,  $S_8$  e os diodos em anti-paralelo de  $S_5$  e  $S_6$ . Com o grampeamento providenciado por  $S_7$  e  $S_8$ , a tensão de modo comum se mantém constante em  $\frac{V_{CC}}{2}$  e a corrente de fuga é reduzida. As maiores desvantagens dessa topologia são duas: o alto número de chaves, que eleva a complexidade, custo do inversor e diminui sua confiabilidade, e as elevadas perdas por condução, pois a corrente injetada na rede flui através de quatro chaves no modo ativo do semiciclo positivo e por quatro dispositivos (duas chaves e dois diodos) durante os períodos de roda-livre.

#### 2.4.3.4 Inversores HB-ZVR E HB-ZVR-D

O inversor denominado de *H-Bridge Zero Voltage Rectifier* (HB-ZVR) foi proposto por Kerekes (2009). Nesta topologia, apresentada na Figura 14a, as chaves  $S_1$  a  $S_4$  funcionam como no inversor em ponte completa e o ramo de roda-livre é composto por um retificador de quatro diodos  $D_1$  a  $D_4$  e uma chave  $S_5$  que realizam o desacoplamento CA do inversor.

No modo ativo do semiciclo positivo, a corrente flui através de  $S_1$  e  $S_4$ , enquanto que as chaves  $S_2$  e  $S_3$  conduzem no semiciclo negativo. Durante os modos de roda-livre, a chave  $S_5$  é acionada e o retificador de diodos garante que a corrente percorra por apenas um sentido em  $S_5$ . O diodo  $D_5$  garante que a tensão  $V_{FP}$  não ultrapasse  $\frac{V_{CC}}{2}$ , visto que será polarizado diretamente neste caso e conduzirá uma corrente até que as tensões se igualem. Entretanto, não há um dispositivo que controle a tensão de modo comum caso  $V_{FP}$  fique abaixo de  $\frac{V_{CC}}{2}$ . Esse fato faz com que a tensão de modo comum ( $V_{CM}$ ) varie nesses períodos, elevando a corrente de fuga.

Para solucionar este problema, Freddy et al. (2014b) propôs a adição de um diodo extra ao inversor HB-ZVR, de forma que ele será polarizado diretamente caso a tensão do ramo de grampeamento fique menor que  $\frac{V_{CC}}{2}$ . Com isso, uma  $V_{CM}$  constante é obtida e a

corrente de fuga é bastante reduzida. A topologia, denominada de HB-ZVR-D, é exibida em Figura 14b. Os pulsos de chaveamento de ambas as topologias são apresentados na Figura 14c.

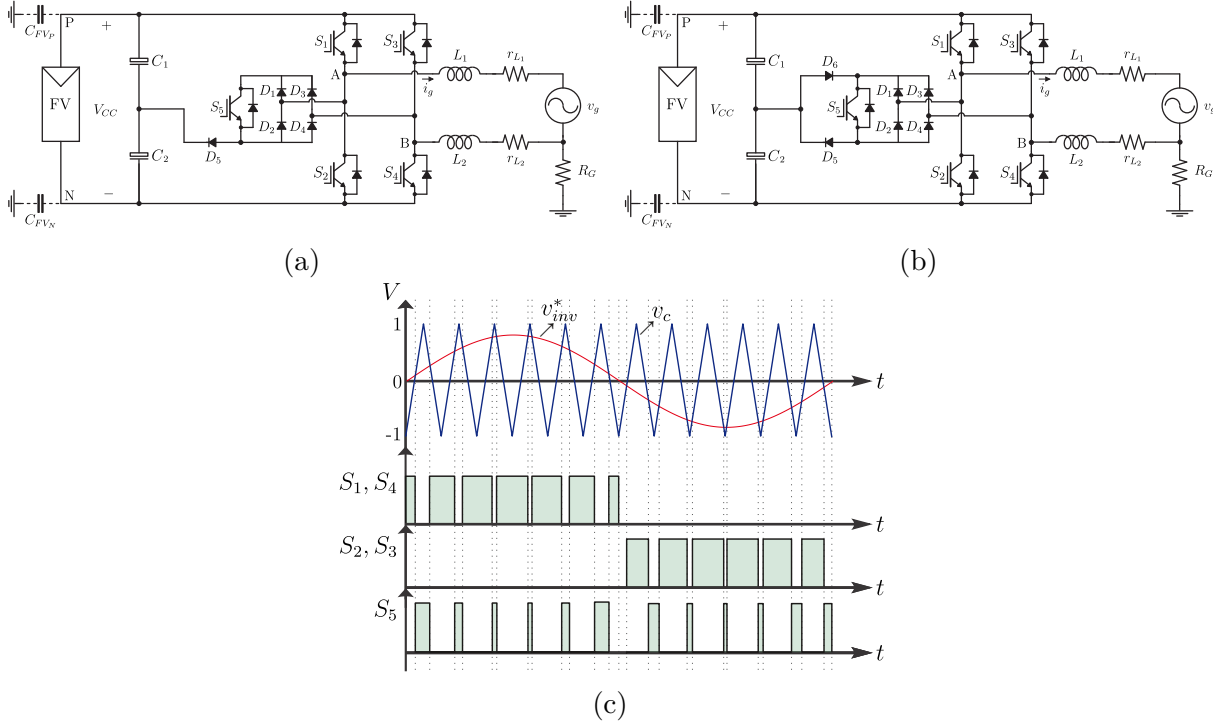


Fig. 14 – Estrutura inversor HB-ZVR (a), HB-ZVR-D (b) e pulsos de chaveamento aplicados em ambas as topologias (c).

Fonte: adaptado de [Freddy et al. \(2014b\)](#).

#### 2.4.3.5 Inversor HB-ZVSCR

Baseado nas topologias HB-ZVR e HB-ZVR-D, [Khan et al. \(2020\)](#) propôs um inversor que substitui dois diodos do HB-ZVR-D por uma chave extra, a fim de reduzir as perdas por chaveamento e aumentar a eficiência. A estrutura desse inversor, denominado de *H-Bridge Zero Voltage Switch-Controlled Rectifier* (HB-ZVSCR), é ilustrado na Figura 15a e seus pulsos de chaveamento apresentados na Figura 15.

Nos modos ativos, o funcionamento desta topologia é idêntico ao explicado na subseção 2.4.3.4. Já nos períodos de roda-livre, as chaves  $S_5$  e  $S_6$  são acionadas de forma conjunta e conduzem a corrente no mesmo sentido em ambos os semiciclos, visto que quatro diodos que retificam a corrente da rede elétrica durante os períodos de estado-zero. No semiciclo positivo, os diodos  $D_2$  e  $D_3$  conduzem, enquanto a corrente flui pelos diodos  $D_1$  e  $D_4$  no semiciclo negativo.

Apesar da redução das perdas por chaveamento em comparação ao inversor HB-ZVR-D, a topologia HB-ZVSCR apresenta um elevado número de dispositivos (duas chaves

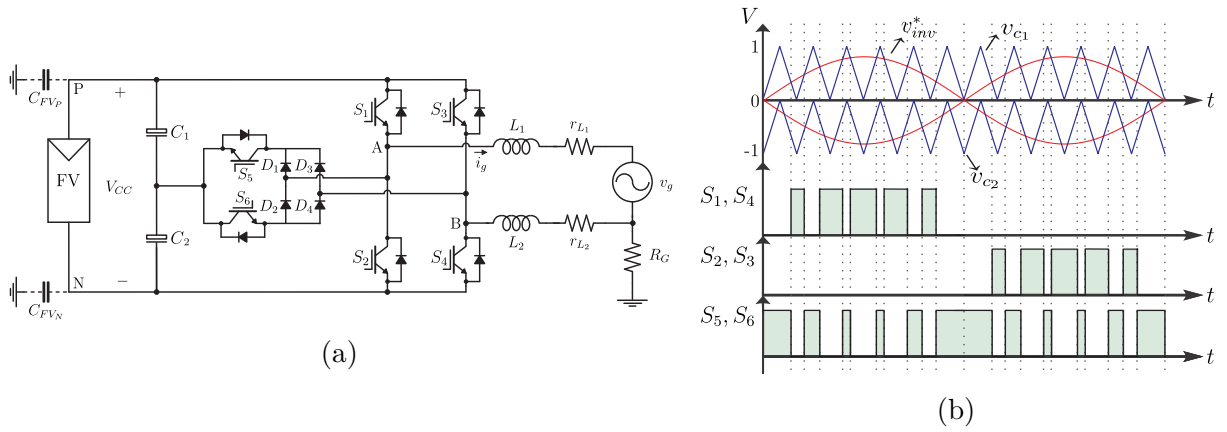


Fig. 15 – Estrutura (a) e pulsos de chaveamento (b) do inversor HB-ZVSCR.

Fonte: adaptado de [Khan et al. \(2020\)](#).

e dois diodos) conduzindo durante os períodos de estado-zero. Essa configuração pode levar a perdas por condução elevadas, o que impacta negativamente a eficiência do sistema.



## 3 Inversor Monofásico sem Transformador Proposto

Neste capítulo, desenvolve-se um modelo de modo comum completo para inversores monofásicos e, a partir desta análise, é proposta uma nova topologia de inversor para redução de corrente de fuga em sistemas fotovoltaicos. São descritos a estrutura do inversor, modos de operação, modulação e estratégia de controle utilizada.

### 3.1 Modelo de Modo Comum para Inversores Monofásicos

Com o objetivo de obter recursos para avaliar as melhores alternativas para redução da corrente de fuga, elaborou-se um modelo de modo comum detalhado do sistema fotovoltaico sem transformador. A partir desse modelo, torna-se possível analisar a resposta em frequência do circuito ressonante formado a partir das capacitâncias parasitas dos painéis fotovoltaicos.

Na Figura 16, é apresentado o modelo geral do inversor monofásico em um sistema fotovoltaico, que inclui o painel fotovoltaico com tensão  $V_{CC}$  entre seus terminais, os capacitores  $C_1$  e  $C_2$  do barramento CC, o conversor CC/CA, filtro de saída (um filtro  $L$  composto por dois indutores  $L_1$  e  $L_2$ ), tensão da rede  $v_g$ , resistência da malha de aterramento  $R_G$  e capacitância parasita  $C_{FV}$ , dividida entre  $C_{FVP}$  e  $C_{FVN}$ , que são conectadas respectivamente ao terminal  $P$  e terminal  $N$  do painel fotovoltaico.

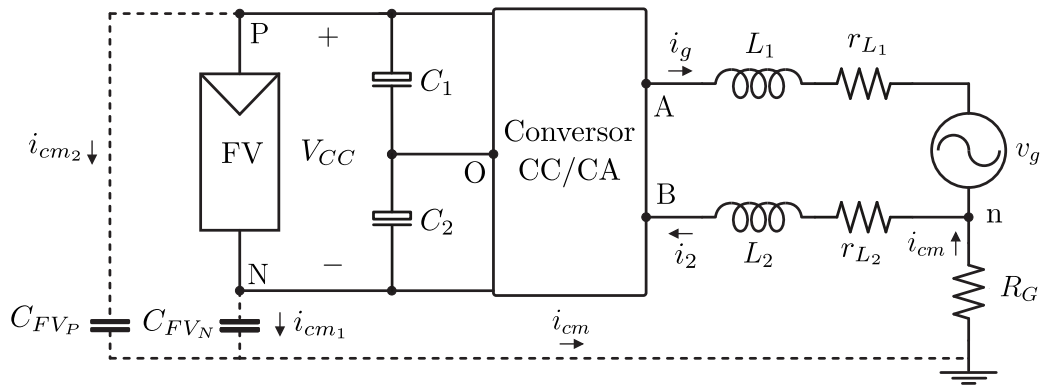


Fig. 16 – Modelo geral de um inversor fotovoltaico sem transformador.

Fonte: adaptado de [Freddy et al. \(2014a\)](#).

Diferente do modelo de modo comum simplificado apresentado na seção 2.2 e utilizado em estudos anteriores ([FREDDY et al., 2014a](#); [GONZALEZ et al., 2008](#)), esse modelo leva em consideração o divisor capacitivo do barramento CC formado pelos capacitores  $C_1$  e  $C_2$  e utiliza o ponto central como referência, indicado como O na Figura

16. É necessário destacar que esses capacitores devem ser idênticos, de forma que a tensão do barramento CC se divida igualmente entre eles. A partir dessa abordagem, a tensão diferencial na saída  $V_{AB}$  e a tensão de modo comum  $V_{CM}$  são definidas segundo as equações a seguir:

$$V_{AB} = V_{AO} - V_{BO} \quad (3.1)$$

$$V_{CM} = \frac{V_{AO} + V_{BO}}{2} \quad (3.2)$$

Com isso, o conversor CC/CA pode ser substituído por duas fontes de tensão que correspondem às tensões de polo  $V_{AO}$  e  $V_{BO}$ . A Figura 17 apresenta o modelo a partir dessas considerações. Além disso, destaca-se que os capacitores do barramento CC servem de caminho para a corrente de fuga durante os períodos de roda-livre do inversor.

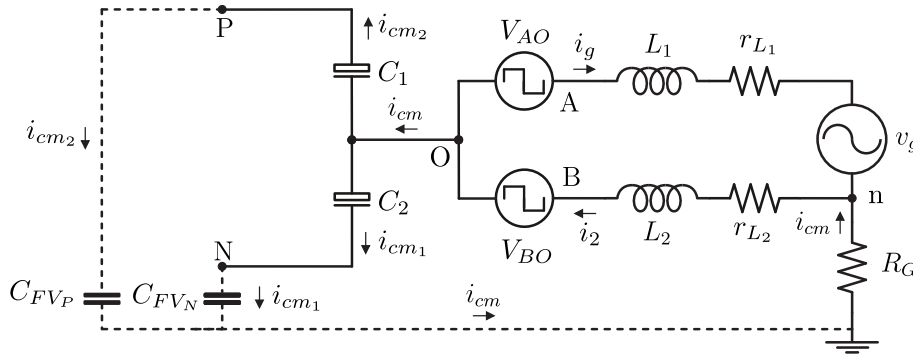


Fig. 17 – Modelo de modo comum de um inversor fotovoltaico sem transformador com as tensões de polo  $V_{AO}$  e  $V_{BO}$  representando o conversor CC/CA.

Fonte: produzido pelo autor.

Aplicando as Leis de Kirchhoff ao circuito da Figura 17, é possível descrever as relações entre as correntes  $i_g$ ,  $i_{cm}$  e  $i_2$ , além de determinar as equações das tensões  $V_{AO}$  e  $V_{BO}$  a partir das análises de suas respectivas malhas:

$$i_2 = i_g + i_{cm} \quad (3.3)$$

$$V_{AO} = L_1 \frac{di_g}{dt} + i_g r_{L1} + v_g + V_{nO} \quad (3.4)$$

$$V_{BO} = -L_2 \frac{di_2}{dt} - i_2 r_{L2} + V_{nO} \quad (3.5)$$

A partir da equação (3.3), substitui-se o valor de  $i_2$  em (3.5). Dessa forma, a tensão de polo  $V_{BO}$  é dada por:



$$V_{BO} = -L_2 \frac{d(i_g + i_{cm})}{dt} - (i_g + i_{cm})r_{L_2} + V_{nO} \quad (3.6)$$

A tensão  $V_{nO}$  pode ser determinada através da análise de cada ramo das capacitâncias parasitas localizadas nos terminais do módulo fotovoltaico. Assim, pode ser expressa de duas formas:

$$V_{nO} = -R_g(i_{cm1} + i_{cm2}) - \frac{1}{C_{FVN}} \int i_{cm1} dt - \frac{1}{C_2} \int i_{cm1} dt \quad (3.7)$$

$$V_{nO} = -R_g(i_{cm1} + i_{cm2}) - \frac{1}{C_{FVP}} \int i_{cm2} dt - \frac{1}{C_1} \int i_{cm2} dt \quad (3.8)$$

Somando as equações (3.7) e (3.8), obtém-se:

$$2V_{nO} = -2R_g(i_{cm1} + i_{cm2}) - \frac{1}{C_{FVN}} \int i_{cm1} - \frac{1}{C_{FVP}} \int i_{cm2} dt - \frac{1}{C_2} \int i_{cm1} dt - \frac{1}{C_1} \int i_{cm2} dt \quad (3.9)$$

Ao considerar  $C_{FVP} = C_{FVN} = C_{FV}$ ,  $C_1 = C_2$  e  $i_{cm} = i_{cm1} + i_{cm2}$ , é possível simplificar a equação (3.9):

$$2V_{nO} = -2R_g i_{cm} - \frac{1}{C_{FV}} \int i_{cm} - \frac{1}{C_1} \int i_{cm} dt \quad (3.10)$$

$$V_{nO} = -R_g i_{cm} - \frac{1}{2C_{FV}} \int i_{cm} - \frac{1}{2C_1} \int i_{cm} dt \quad (3.11)$$

Obtendo a fórmula que define a tensão  $V_{nO}$ , torna-se possível reescrever as equações das tensões de polo  $V_{AO}$  e  $V_{BO}$  ao substituir (3.11) em (3.4) e (3.6):

$$V_{AO} = L_1 \frac{di_g}{dt} + i_g r_{L_1} + v_g - R_g i_{cm} - \frac{1}{2C_{FV}} \int i_{cm} - \frac{1}{2C_1} \int i_{cm} dt \quad (3.12)$$

$$V_{BO} = -L_2 \frac{d(i_g + i_{cm})}{dt} - (i_g + i_{cm})r_{L_2} - R_g i_{cm} - \frac{1}{2C_{FV}} \int i_{cm} - \frac{1}{2C_1} \int i_{cm} dt \quad (3.13)$$

Substituindo (3.12) e (3.13) na equação da tensão de modo comum indicada em (3.2):

$$V_{CM} = \frac{(L_1 - L_2) \frac{di_g}{dt} - L_2 \frac{di_{cm}}{dt} + (r_{L_1} - r_{L_2})i_g - (r_{L_2} + 2R_g)i_{cm} + v_g - 2\left(\frac{1}{2C_{FV}} + \frac{1}{2C_1}\right) \int i_{cm} dt}{2} \quad (3.14)$$

Como amplamente discutido em diversos estudos na área (GONZALEZ et al., 2008; KEREEKES et al., 2009), a contribuição da tensão diferencial  $V_{AB}$  na corrente de fuga  $i_{cm}$  é completamente eliminada caso os indutores  $L_1$  e  $L_2$  tenham valores iguais. Assim, ao determinar que  $L_1 = L_2 = L$  e  $r_{L_1} = r_{L_2} = r_L$ , a equação da tensão de modo comum para o inversor monofásico pode ser simplificada para:

$$V_{CM} = -\frac{L}{2} \frac{di_{cm}}{dt} - i_{cm} \left( \frac{r_L}{2} + R_g \right) - \left( \frac{1}{2C_{FV}} + \frac{1}{2C_1} \right) \int i_{cm} dt + \frac{v_g}{2} \quad (3.15)$$

A partir da equação (3.15), é possível definir um circuito equivalente, apresentado na Figura 18 e denominado modelo de modo comum.

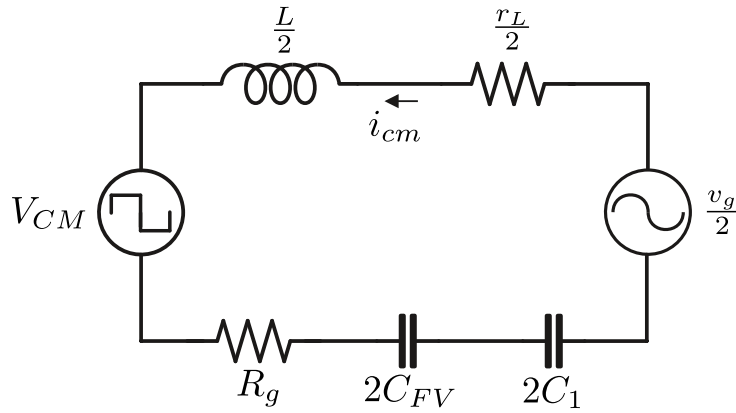


Fig. 18 – Modelo de modo comum de um inversor monofásico sem transformador em um sistema fotovoltaico.

Fonte: produzido pelo autor.

Na análise da Figura 18, é importante notar que a corrente parasita  $i_{cm}$  é influenciada tanto pela tensão de modo comum  $V_{CM}$  como pela tensão da rede  $v_g$ . Utilizando o princípio da superposição, é possível considerar que a resposta total do sistema será a soma das respostas devido a cada uma das fontes individualmente. Considerando a fonte de tensão  $\frac{v_g}{2}$  como um curto-circuito a fim de ignorar sua influência sobre a corrente de fuga, obtém-se a função de transferência de  $i_{cm}$  em relação à tensão de modo comum  $V_{CM}$ , expressa por:

$$G_{cm}(s) = \frac{i_{cm}(s)}{V_{CM}(s)} = \frac{-s}{\frac{L}{2}s^2 + \left(\frac{r_L}{2} + R_g\right)s + \left(\frac{1}{2C_{FV}} + \frac{1}{2C_1}\right)} \quad (3.16)$$

Para verificar o comportamento da corrente de fuga em resposta às variações na tensão de modo comum em uma ampla faixa de frequências, a Figura 19 exibe o diagrama de Bode da função de transferência apresentada em (3.16). Os parâmetros utilizados nesta análise foram:  $L = 5$  mH,  $r_L = 0,4$   $\Omega$ ,  $R_g = 10$   $\Omega$ ,  $C_{FV} = 100$  nF e  $C_1 = 2$  mF.

No diagrama de Bode, são destacadas duas frequências importantes que requerem uma maior atenção. Entre elas, está a frequência de ressonância do circuito de modo comum. Esta frequência, representada por  $f_{res}$ , é o ponto crítico onde o ganho da corrente de fuga é

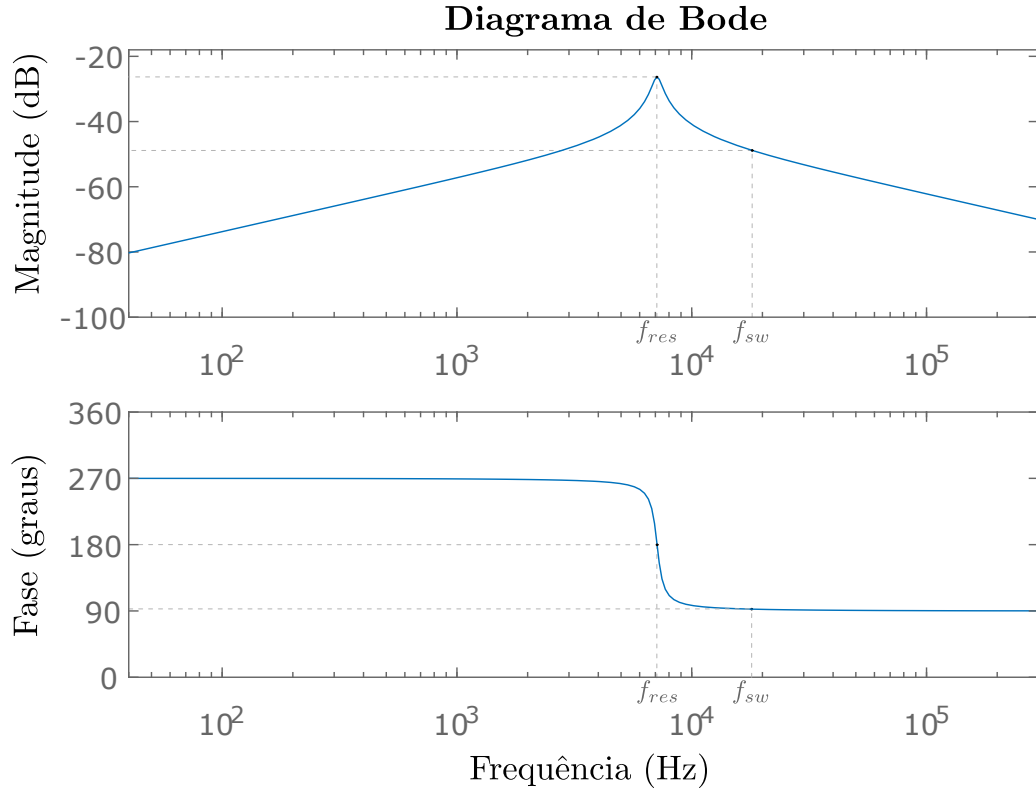


Fig. 19 – Diagrama de Bode da corrente  $i_{cm}$  em relação à tensão de modo comum  $V_{CM}$ .

Fonte: produzido pelo autor.

maximizado. Portanto, quanto mais próximo a frequência em que a tensão de modo comum oscila estiver perto desse ponto, maior será o ganho do sistema e, conseqüentemente, maior será a corrente de fuga. A frequência de ressonância desse modelo pode ser calculada a partir da equação:

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{(C_1 + C_{FV})}{LC_1 C_{FV}}} = 7117,8 \text{ Hz} \quad (3.17)$$

O segundo ponto a ser observado é a frequência de chaveamento do inversor, representada por  $f_{sw} = 18 \text{ kHz}$ . É comum que, em topologias que não estabelecem um  $V_{CM}$  constante, a tensão de modo comum apresente uma componente em  $f_{sw}$ . Nesses casos, faz-se necessário o cuidado ao selecionar uma frequência de chaveamento distante da frequência de ressonância do sistema, de modo a evitar que ocorra o aumento da corrente de fuga citado anteriormente. Para os valores utilizados na confecção do diagrama de Bode da Figura 19, a frequência  $f_{sw}$  utilizada localiza-se após a frequência de ressonância, apresentando um ganho de  $-47,56 \text{ dB}$ .

Por fim, é fundamental destacar que o ganho da corrente de fuga diminui para zero com uma tensão de modo comum constante. Isso acontece devido à existência do elemento capacitivo  $C_{FV}$ , que se comporta como um circuito aberto para tensões constantes. Esse é o ponto crucial para o desenvolvimento de inversores destinados à mitigação da corrente

de fuga. Diversas topologias discutidas na seção 2.4 empregam a estratégia de estabelecer uma tensão de modo comum constante.

Com o objetivo de obter a resposta da corrente de fuga às variações na tensão da rede, considera-se a fonte de tensão  $V_{CM}$  como curto-circuito a fim de ignorar seu efeito no sistema. A partir disso, é possível obter a função de transferência  $G_g(s)$ , que relaciona  $i_{cm}$  e  $v_g$ :

$$G_g(s) = \frac{i_{cm}(s)}{v_g(s)} = \frac{s}{Ls^2 + (r_L + 2R_g)s + (\frac{1}{C_{FV}} + \frac{1}{C_1})} \quad (3.18)$$

Em conversores onde a tensão de modo comum é mantida constante, apenas a oscilação decorrente da tensão da rede  $v_g$  permanece na corrente de fuga. Devido a isso, é importante analisar a resposta em frequência do sistema às variações nessa tensão. Pela análise do diagrama da figura 20 nota-se que, apesar da tensão da rede produzir uma corrente de fuga, os ganhos em baixa frequência são bem reduzidos. Para uma frequência  $f_0 = 60$  Hz, o ganho do sistema é de  $-88,47$  dB.

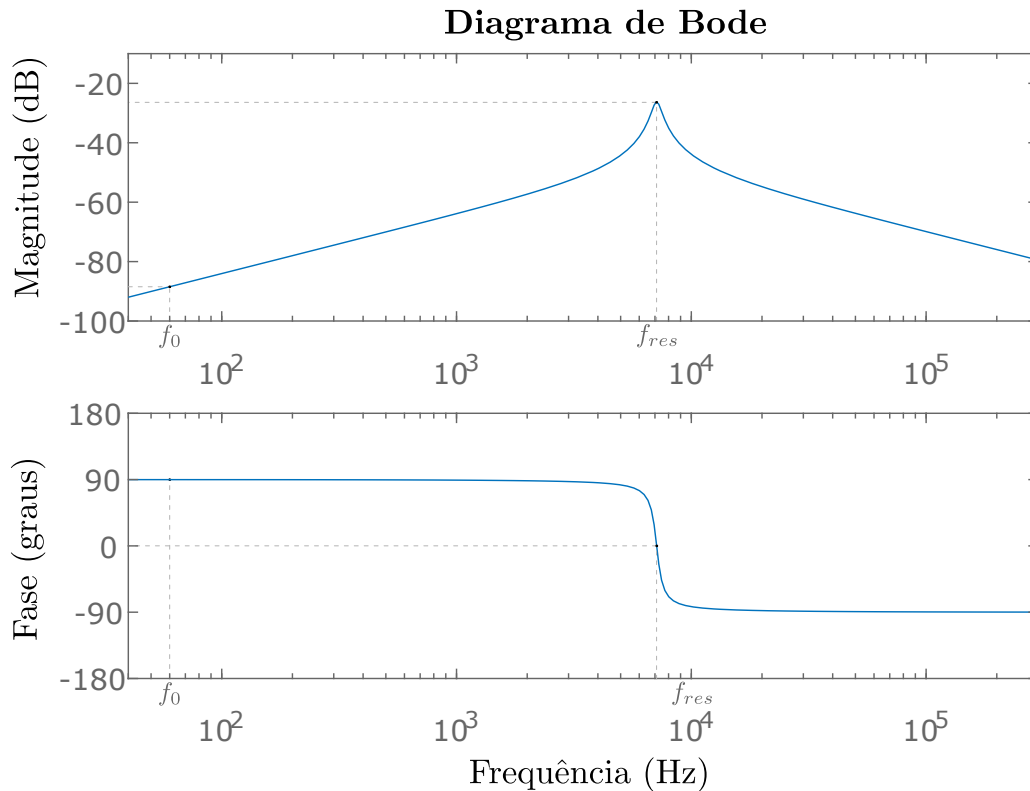


Fig. 20 – Diagrama de Bode da corrente  $i_{cm}$  em relação à tensão da rede elétrica  $v_g$ .

Fonte: produzido pelo autor.

Como visualizado em (3.17), a frequência de ressonância do sistema depende do indutor de filtro  $L$ , da capacitância parasita  $C_{FV}$  e do capacitor  $C_1$  do barramento CC. Como o capacitor do barramento CC é muito maior do que a capacitância parasita (que tem valores típicos da ordem de nanofarads), seu valor pouco interfere na capacitância

equivalente total, que é dada pela associação em série dos dois capacitores. Dessa forma, conclui-se que a indutância do filtro de saída e a capacitância parasita tem alto impacto na frequência de ressonância e, portanto, na resposta em frequência do sistema. A fim de observar esse fenômeno, realiza-se uma análise do diagrama de Bode de acordo com a variação de cada um desses parâmetros.

### 3.1.1 Variação no Indutor de Filtro

As Figuras 21 e 22 mostram o comportamento do modelo com a variação do indutor do filtro de saída. Para isso, utilizou-se as funções de transferência obtidas em (3.16) e (3.18). Na Figura 21, é apresentada a resposta em frequência da corrente de fuga  $i_{cm}$  em relação à tensão de modo comum para cinco valores de indutores de filtro. Nota-se que à medida que o indutor de filtro cresce, a frequência de ressonância do modelo de modo comum é deslocada para a esquerda. Em topologias em que a tensão de modo comum apresenta componentes frequenciais na frequência de chaveamento  $f_{sw}$ , é necessário observar onde  $f_{sw}$  se localiza em relação à frequência de ressonância, visto que nesse caso os ganhos para frequência menores que a frequência de ressonância são amplificados, resultando em um aumento na corrente de fuga. Nota-se, entretanto, que as diferentes curvas de resposta em frequência se igualam em frequências inferiores a 1 kHz. Por outro lado, o ganho para altas frequências é reduzido com o aumento do indutor de filtro, resultando em menores valores de corrente de fuga.

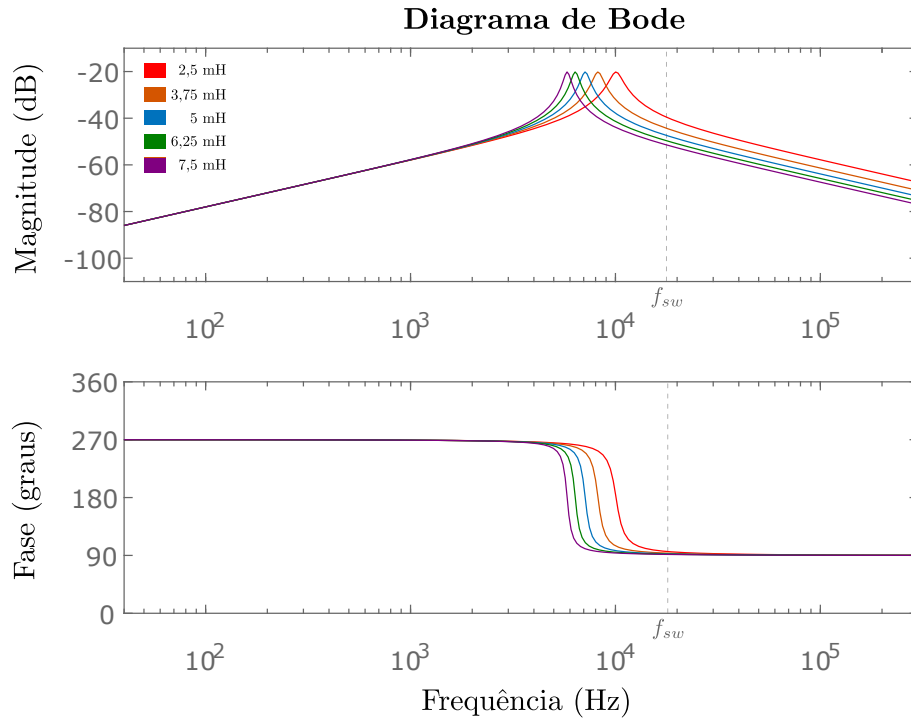


Fig. 21 – Diagrama de Bode da corrente  $i_{cm}$  em relação à tensão de modo comum  $V_{CM}$  a partir da variação da indutância de filtro.

Fonte: produzido pelo autor.

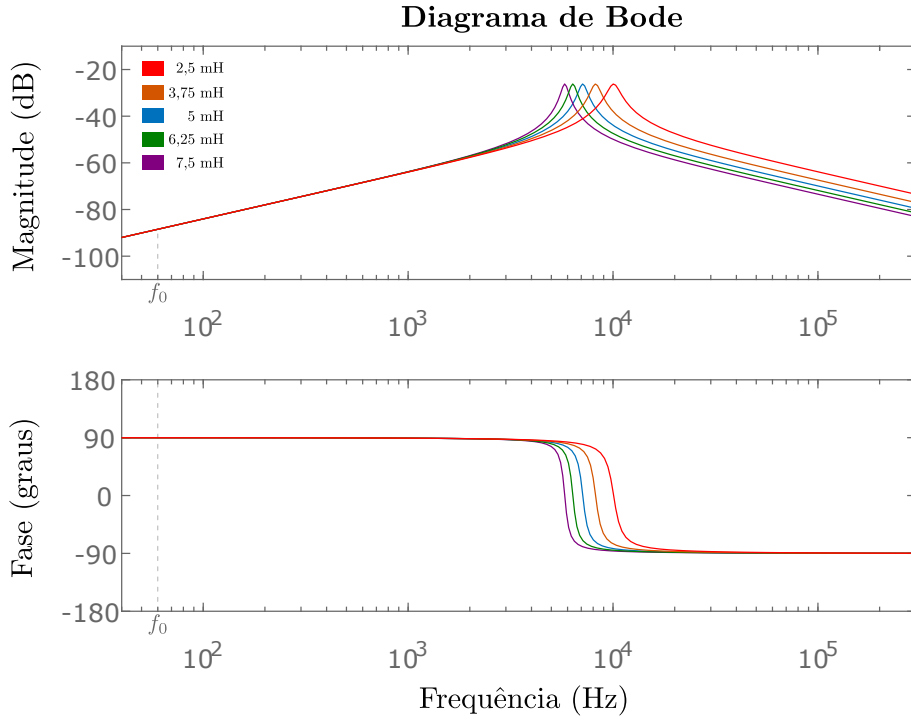


Fig. 22 – Diagrama de Bode da corrente  $i_{cm}$  em relação à tensão da rede elétrica  $v_g$  a partir da variação da indutância de filtro.

Fonte: produzido pelo autor.

O mesmo comportamento ocorre com a parcela da corrente de fuga decorrente das variações na tensão da rede  $v_g$ , como apresentado na Figura 22. Como ocorre na Figura 21, os ganhos em baixa frequência se igualam. Como a tensão da rede elétrica oscila em baixas frequências, a tendência é que o aumento do indutor de filtro não interfira nessa parcela da corrente. Essa informação é importante em inversores que mantêm a tensão de modo comum constante. Nessas topologias, a variação no indutor de filtro não resulta em variações nos valores de corrente de fuga.

### 3.1.2 Variação na Capacitância Parasita

As Figuras 23 e 24 apresentam as respostas em frequência para diferentes valores de capacitância parasita. Assim como ocorre com a variação do indutor de filtro, o aumento da capacitância parasita faz com que a frequência de ressonância diminua. Porém, o impacto dessa variação sobre as baixas frequências é maior. Diferente das Figuras 21 e 22, onde as curvas se igualam em baixa frequência, o oposto ocorre com a variação de  $C_{FV}$ . Em altas frequências as curvas se igualam, enquanto que nas baixas frequências, a corrente de fuga aumenta com o aumento da capacitância parasita. Como pode ser visualizado na Figura 24, esse fato faz com que a parcela da corrente relativa às variações na tensão da rede aumente à medida que a capacitância parasita aumenta. Esse fato é um ponto de atenção para sistemas fotovoltaicos maiores, visto que a capacitância parasita do sistema

aumenta com a área dos painéis fotovoltaicos, como citado na Seção 2.1.

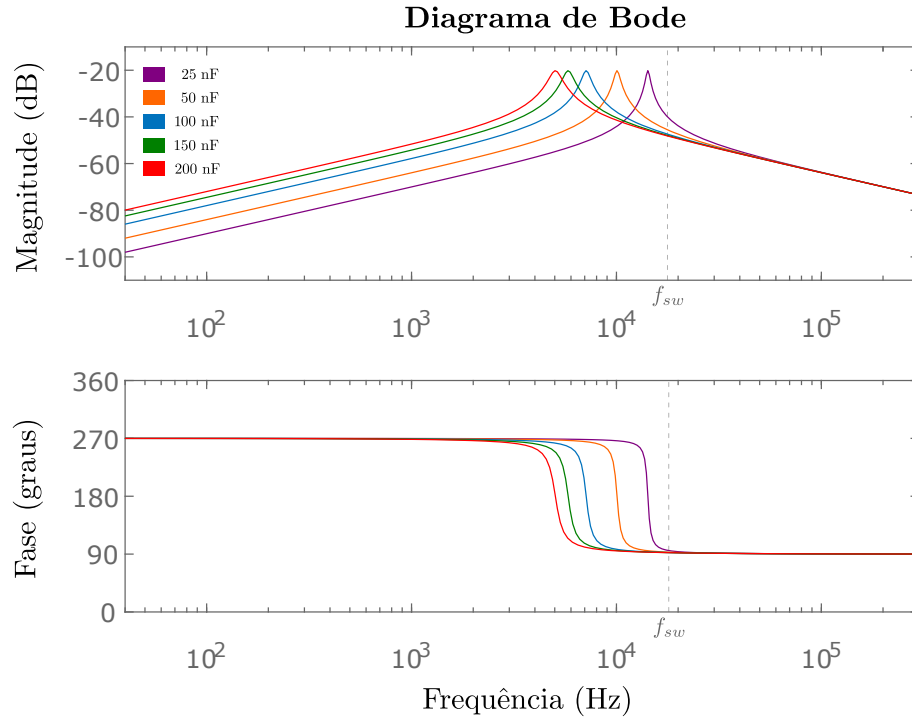


Fig. 23 – Diagrama de Bode da corrente  $i_{cm}$  em relação à tensão de modo comum  $V_{CM}$  a partir da variação da capacitância parasita.

Fonte: produzido pelo autor.

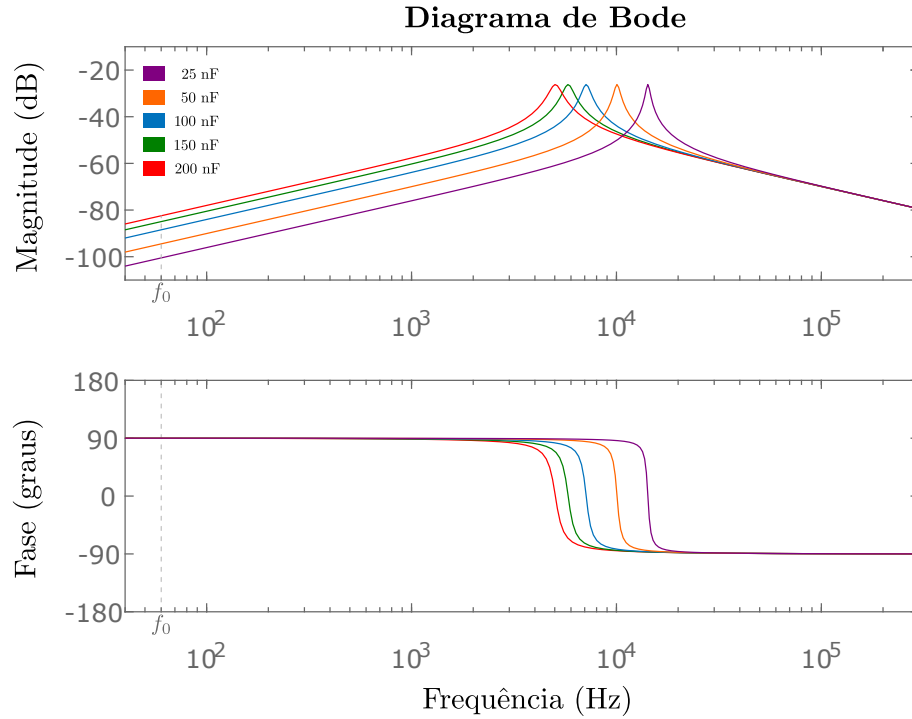


Fig. 24 – Diagrama de Bode da corrente  $i_{cm}$  em relação à tensão da rede elétrica  $v_g$  a partir da variação da indutância de filtro.

Fonte: produzido pelo autor.

## 3.2 Descrição do Inversor Proposto

Na Figura 25, apresenta-se o inversor fotovoltaico proposto neste trabalho, o qual utiliza um ramo de desacoplamento CA baseado na topologia HERIC, discutida na subseção 2.4.2.2.1. Esse ramo é composto por duas chaves ( $S_5$  e  $S_6$ ) e dois diodos ( $D_3$  e  $D_4$ ), que atuam como caminho da corrente durante os períodos de roda-livre, momento onde a carga é desacoplada da fonte CC e a tensão diferencial de saída é igual a zero. Além disso, para garantir que a tensão de modo comum permaneça constante em  $\frac{V_{CC}}{2}$ , dois diodos ( $D_1$  e  $D_2$ ) são adicionados para realizar o grampeamento ao ponto central do barramento CC.

A topologia proposta tem como objetivo mitigar a corrente de fuga dos inversores em sistemas fotovoltaicos. Com a adição dos diodos de grampeamento, é possível manter a tensão de modo comum constante e, como discutido na seção 3.1, evitar a propagação das correntes parasitas. O uso do ramo de desacoplamento CA baseado na topologia HERIC contribui para a redução das perdas do sistema, tornando este inversor uma alternativa interessante para aplicações que requerem alta eficiência.

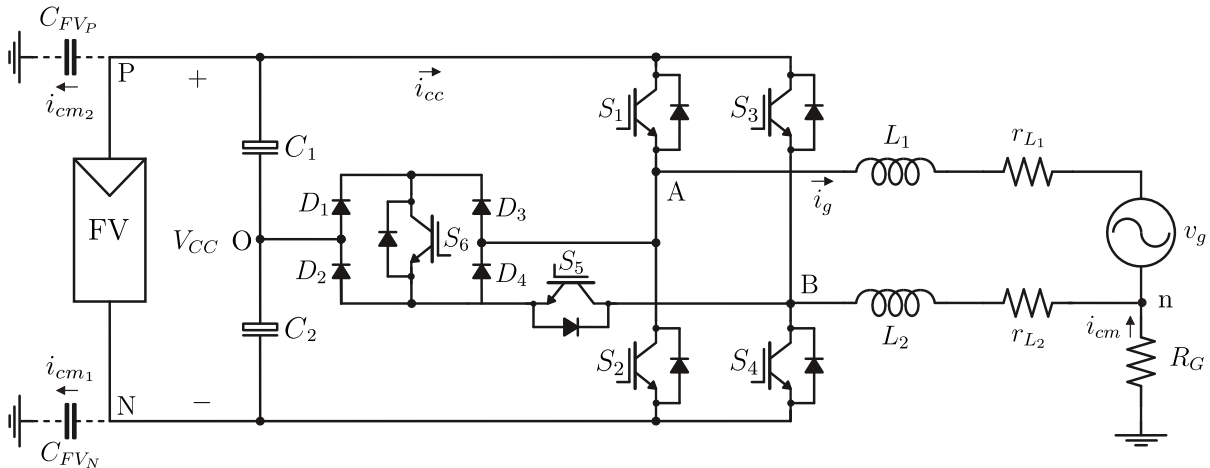


Fig. 25 – Estrutura do inversor fotovoltaico monofásico sem transformador proposto.

Fonte: produzido pelo autor.

### 3.2.1 Modos de Operação

O conversor proposto possui quatro modos de operação, dois modos em cada semiciclo da corrente injetada na rede elétrica, que são responsáveis por gerar uma tensão de saída de três níveis. Os modos de operação, estados de chaveamento e tensões de saída do inversor estudado são apresentados na Tabela 1.

Nesta subseção, é realizada uma análise desses modos de operação, incluindo as tensões e correntes nos dispositivos, a tensão diferencial de saída e a tensão de modo comum do inversor proposto neste trabalho.

Inicialmente, é necessário fazer algumas considerações:



Tab. 1 – Estados de chaveamento e tensões da topologia proposta.

Modo	$[S_1 S_2 S_3 S_4 S_5 S_6]$	$V_{AB}$	$i_g$	$V_{CM}$
1	$[100100]$	$V_{CC}$	$>0$	$V_{CC}/2$
2	$[000011]$	0	$>0$	$V_{CC}/2$
3	$[011000]$	$-V_{CC}$	$<0$	$V_{CC}/2$
4	$[000011]$	0	$<0$	$V_{CC}/2$

Fonte: produzido pelo autor.

1. Todos os dispositivos de potência ativos são chaves ideais com diodos em antiparalelo;
2. Os diodos de potência são diodos ideais sem parâmetros parasitas;
3. As capacitâncias  $C_1$  e  $C_2$  do barramento CC são grandes o suficiente para serem tratadas como fontes de tensão constante;
4. O terminal negativo da fonte CC, denominado de  $N$ , é a referência para as tensões apresentadas.

A Figura 26 apresenta as curvas das tensões e correntes do inversor em dois períodos de chaveamento durante o semiciclo positivo da corrente injetada na rede. Ao analisar um período de chaveamento, delimitado entre os tempos  $t_1$  e  $t_3$ , é possível notar duas regiões com características distintas. Essas regiões correspondem a dois modos de operação do inversor proposto, com a região entre  $t_1$  e  $t_2$  correspondendo ao modo 1, enquanto a região entre  $t_2$  e  $t_3$  corresponde ao modo 2 do inversor. O comportamento do circuito durante esses dois modos de operação é discutido a seguir.

O modo 1, que ocorre entre os tempos  $t_1$  e  $t_2$ , é apresentado na Figura 27. Durante esse período, o conversor está em modo de condução, injetando a corrente proveniente da fonte CC para a rede elétrica. Seu funcionamento é igual ao modo de condução de um inversor em ponte completa convencional. O ponto  $A$  é conectado ao terminal positivo do barramento CC através da chave  $S_1$ , enquanto o ponto  $B$  é conectado ao terminal negativo através de chave  $S_4$ , permitindo que a corrente  $i_g$  flua através dessas duas chaves. Como resultado, a tensão  $V_{AB}$  nos terminais de saída do inversor é estabelecida em  $V_{CC}$ , enquanto a tensão de modo comum é fixada em  $\frac{V_{CC}}{2}$ . Durante o modo 1, as chaves  $S_2$ ,  $S_3$ ,  $S_5$  e  $S_6$  permanecem abertas. As tensões de polo  $V_{AN}$  e  $V_{BN}$ , bem como a tensão de saída  $V_{AB}$  e a tensão de modo comum  $V_{CM}$  são apresentadas a seguir:

$$V_{AN} = V_{CC} \quad (3.19)$$

$$V_{BN} = 0 \quad (3.20)$$

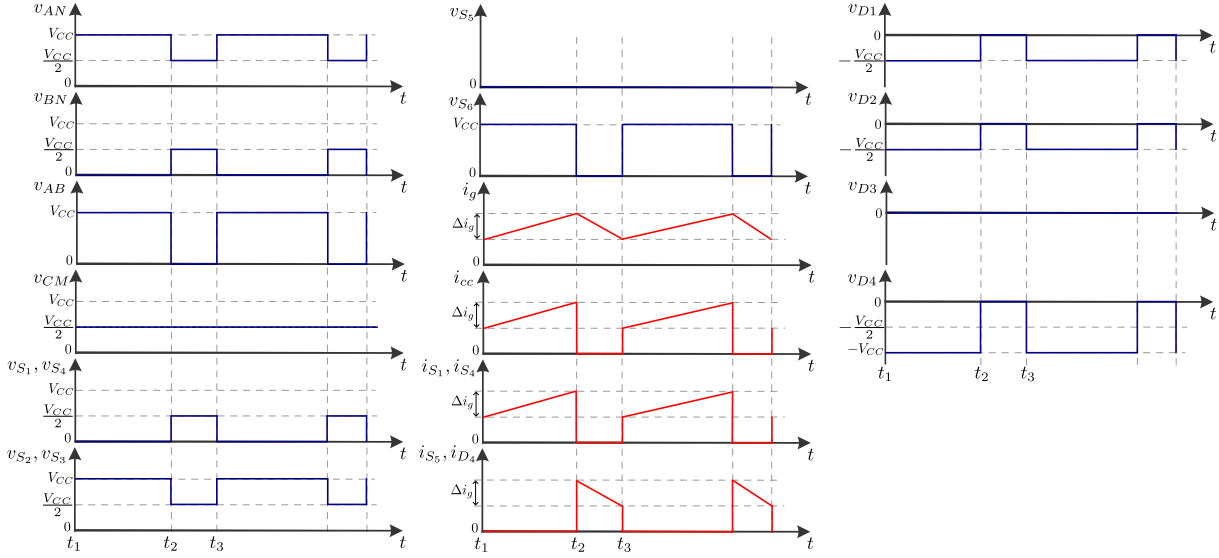


Fig. 26 – Tensões e correntes do inversor proposto durante o semiciclo positivo da corrente injetada na rede.

Fonte: produzido pelo autor.

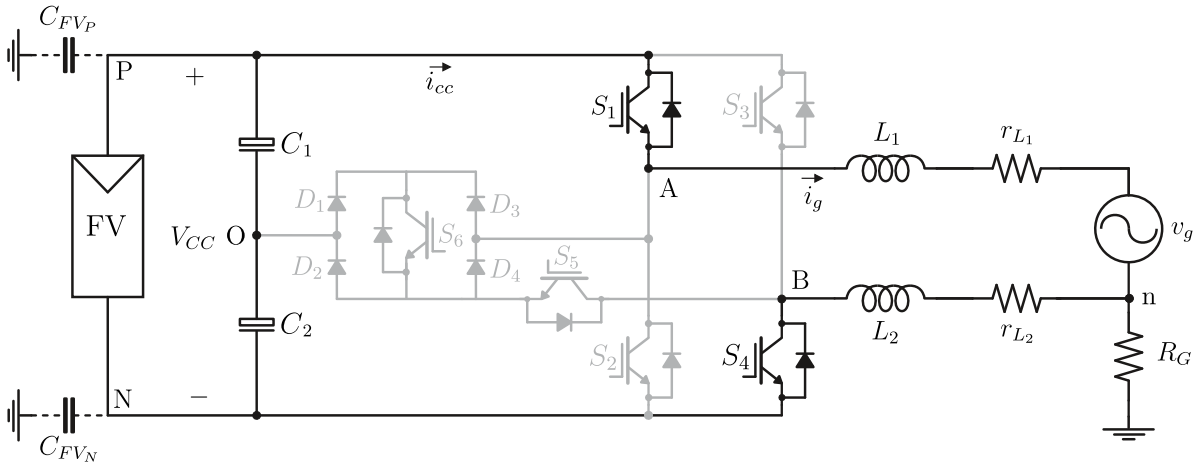


Fig. 27 – Modo de condução - semiciclo positivo.

Fonte: produzido pelo autor.

$$V_{AB} = V_{AN} - V_{BN} = V_{CC} - 0 = V_{CC} \quad (3.21)$$

$$V_{CM} = \frac{V_{AN} + V_{BN}}{2} = \frac{V_{CC} + 0}{2} = \frac{V_{CC}}{2} \quad (3.22)$$

Como visto na Figura 26, a corrente  $i_g$  cresce linearmente durante esse período, conduzida através das chaves  $S_1$  e  $S_4$ . A ondulação  $\Delta i_g$  é determinada pelo valor da indutância do filtro de saída. Desprezando as resistências internas dos indutores, a equação para a corrente  $i_g$  no período entre  $t_1$  e  $t_2$  é estabelecida como:

$$i_g(t) - i_g(t_1) = \frac{V_{CC} - v_g(t)}{L_1 + L_2}(t - t_1) \quad (3.23)$$

Como  $S_1$  e  $S_4$  fazem parte do caminho da corrente  $i_g$  durante esse período, as tensões sobre essas chaves são nulas. Devido a isso, a tensão sobre as demais chaves que compõem os dois braços da ponte completa ( $S_2$  e  $S_3$ ) é de  $V_{CC}$ , como apresentado na Figura 26. A tensão sobre a chave  $S_6$  é a mesma tensão de saída do inversor ( $V_{AB} = V_{CC}$ ), enquanto a tensão sobre  $S_5$  durante o modo 1 equivale à tensão da barreira de potencial do diodo em antiparalelo a essa chave, que nessa análise é considerado ideal e com queda de tensão nula. As demais chaves que compõem o conversor não conduzem durante o semiciclo positivo da corrente e, portanto, não tem suas correntes apresentadas na Figura 26.

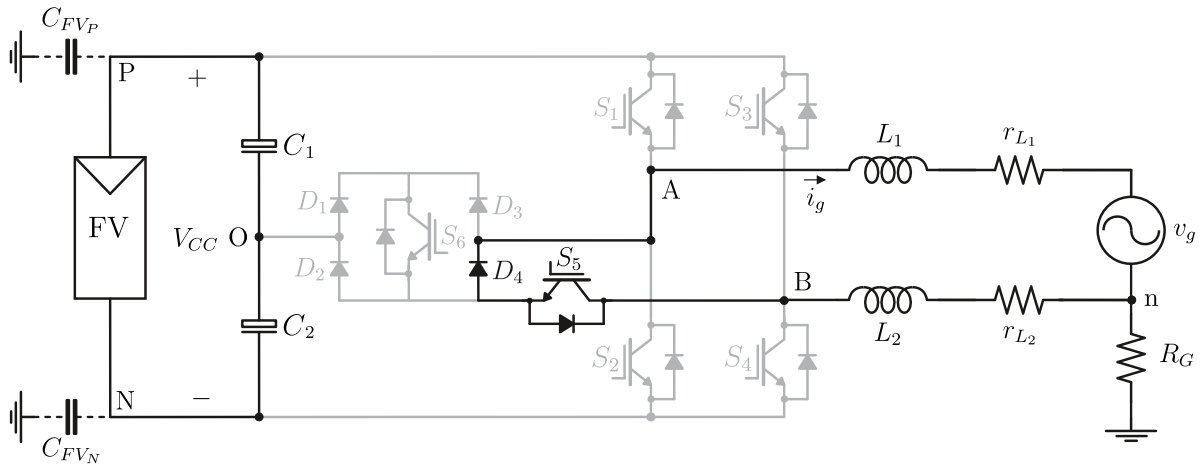


Fig. 28 – Modo de roda-livre - semiciclo positivo.

Fonte: produzido pelo autor.

O funcionamento do circuito no modo 2 de operação do inversor é apresentado na Figura 28. Durante esse período, que ocorre entre  $t_2$  e  $t_3$  na Figura 26, a rede elétrica é totalmente desacoplada da fonte CC através do ramo de desacoplamento CA e a corrente  $i_g$  flui através da chave  $S_5$  e do diodo  $D_4$ . O ramo de desacoplamento é conectado ao ponto central do barramento CC através dos diodos  $D_1$  e  $D_2$ , fazendo com que as tensões de polo  $V_{AN}$  e  $V_{BN}$  se igualem a  $\frac{V_{CC}}{2}$ . Dessa forma, a tensão de modo comum permanece em  $\frac{V_{CC}}{2}$  e a tensão de saída  $V_{AB}$  cai para zero. Para evitar um curto-circuito nos capacitores do barramento CC, é necessário incluir um tempo morto entre os sinais de  $S_5$  e  $S_6$  e as chaves  $S_1$  e  $S_4$ . As tensões de saída neste modo estão indicadas a seguir:

$$V_{AN} = \frac{V_{CC}}{2} \quad (3.24)$$

$$V_{BN} = \frac{V_{CC}}{2} \quad (3.25)$$

$$V_{AB} = V_{AN} - V_{BN} = \frac{V_{CC}}{2} - \frac{V_{CC}}{2} = 0 \quad (3.26)$$

$$V_{CM} = \frac{V_{AN} + V_{BN}}{2} = \frac{\frac{V_{CC}}{2} + \frac{V_{CC}}{2}}{2} = \frac{V_{CC}}{2} \quad (3.27)$$

Como visualizado na Figura 26, a corrente  $i_g$  decresce linearmente durante esse período, pois a energia armazenada no indutor de saída durante o modo 1 é descarregada através de  $S_5$  e  $D_4$ . A equação da corrente  $i_g$  nesse modo de operação é dada por:

$$i_g(t) - i_g(t_2) = \frac{-v_g(t)}{L_1 + L_2}(t - t_2) \quad (3.28)$$

Como  $S_5$  e  $D_4$  conduzem durante esse período, a tensão sobre esses dispositivos é nula. É fundamental ressaltar que a comutação da chave  $S_5$  é realizada com tensão nula, o que faz com que as perdas por chaveamento nesse dispositivo sejam bastante reduzidas. A tensão sobre a chave  $S_6$  corresponde à tensão  $V_{AB}$ , que nesse modo de operação é zero. As tensões nos diodos de grampeamento  $D_1$  e  $D_2$  são nulas, visto que o potencial do ramo de roda-livre é igual ao do ponto central do barramento CC nesse modo. A tensão sobre o diodo  $D_3$  é zero nos dois modos de operação do semiciclo positivo.

A Figura 29 apresenta as formas de onda das tensões e correntes no semiciclo negativo da corrente durante dois períodos de chaveamento do inversor proposto. Durante esse semiciclo, o conversor pode assumir dois modos de operação que são detalhados a seguir.

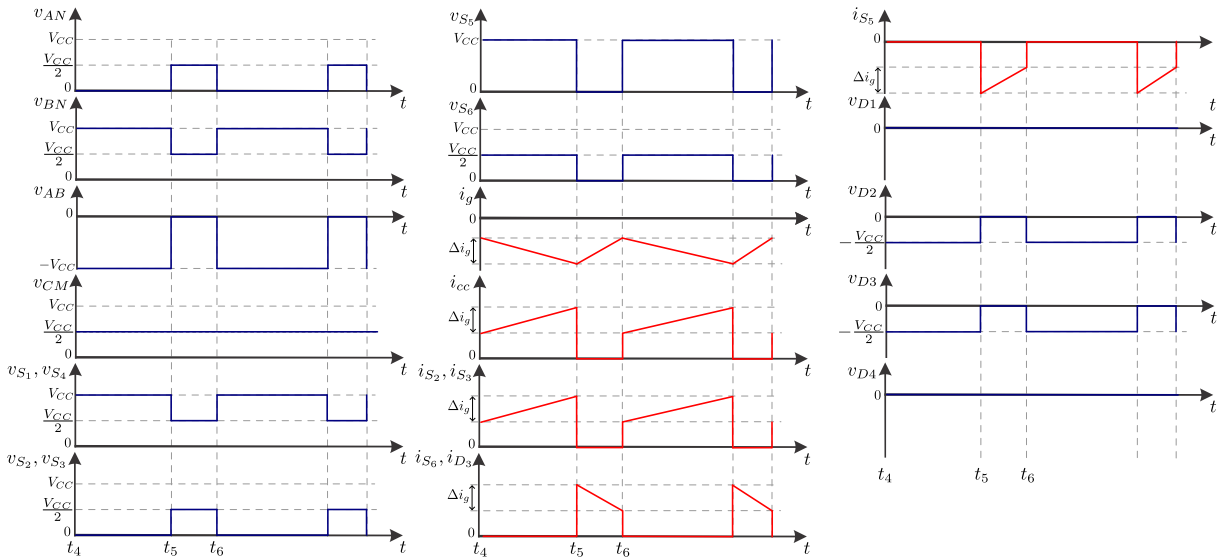


Fig. 29 – Tensões e correntes do inversor proposto durante o semiciclo negativo da corrente injetada na rede.

Fonte: produzido pelo autor.

De  $t_4$  a  $t_5$ , o inversor opera no modo 3 de operação. Na Figura 30, é possível observar o funcionamento do circuito durante esse período, que representa o modo de condução durante o semiciclo negativo da corrente. Nele, o ponto A é conectado ao terminal negativo

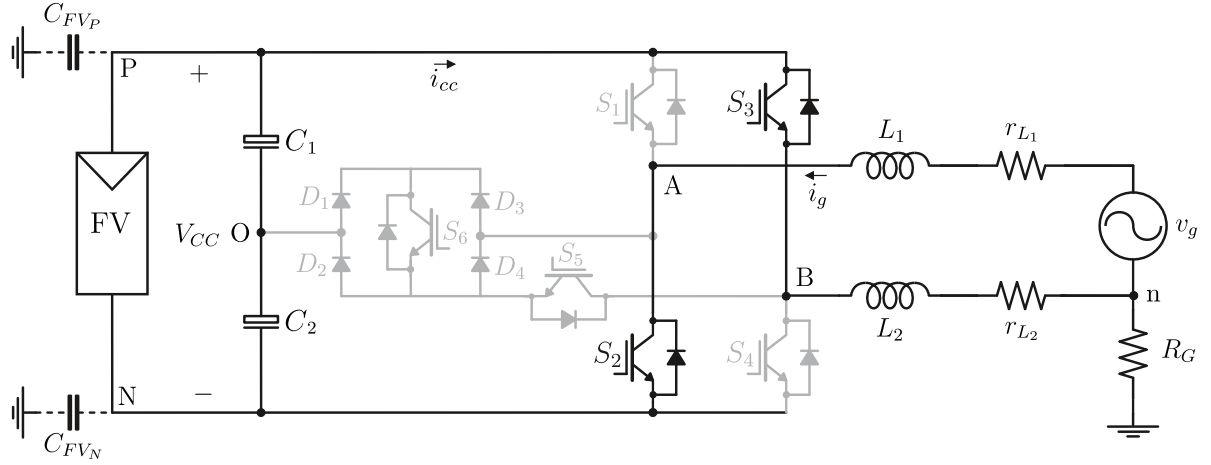


Fig. 30 – Modo de condução - semiciclo negativo.

Fonte: produzido pelo autor.

dos painéis fotovoltaicos através da chave  $S_2$ , enquanto o ponto  $B$  é conectado ao terminal positivo por meio da chave  $S_3$ , permitindo que a corrente  $i_g$  flua da rede para o barramento **CC** através dessas chaves. Dessa forma, a tensão de saída  $V_{AB}$  é estabelecida em  $-V_{CC}$ , enquanto a tensão de modo comum permanece em  $\frac{V_{CC}}{2}$ . Enquanto isso, as chaves  $S_1$ ,  $S_4$ ,  $S_5$  e  $S_6$  permanecem desligadas. Para melhor entendimento, as tensões de saída do circuito são apresentadas a seguir:

$$V_{AN} = 0 \quad (3.29)$$

$$V_{BN} = V_{CC} \quad (3.30)$$

$$V_{AB} = V_{AN} - V_{BN} = 0 - V_{CC} = -V_{CC} \quad (3.31)$$

$$V_{CM} = \frac{V_{AN} + V_{BN}}{2} = \frac{0 + V_{CC}}{2} = \frac{V_{CC}}{2} \quad (3.32)$$

Durante esse período, a corrente  $i_g$  diminui linearmente (aumentando seu módulo), visto que os indutores de filtro estão sendo carregados através da corrente proveniente da fonte **CC**. A equação que descreve o comportamento da corrente injetada na rede neste modo de operação é formulada como:

$$i_g(t) - i_g(t_4) = \frac{-V_{CC} - v_g(t)}{L_1 + L_2}(t - t_4) \quad (3.33)$$

As tensões sobre os dispositivos de comutação ativos e passivos também são exibidos na Figura 29. Enquanto as chaves  $S_2$  e  $S_3$  conduzem e possuem uma tensão nula sobre elas, a tensão do barramento **CC** é estabelecida sobre  $S_1$  e  $S_4$ . Já a tensão na chave  $S_5$  é  $V_{BA} = -V_{AB} = V_{CC}$ . A tensão em  $S_6$  é de  $\frac{V_{CC}}{2}$ , estabelecida entre o ponto  $O$  e o terminal  $A$  de saída do inversor. Visto que o ponto  $A$  assume um potencial menor que o ponto

central do barramento CC, os diodos  $D_1$  e  $D_4$  são polarizados diretamente e, por serem diodos ideais, assume-se que a tensão sobre eles é nula. Enquanto isso, os diodos  $D_2$  e  $D_3$  apresentam uma tensão reversa correspondente à metade da tensão do barramento CC.

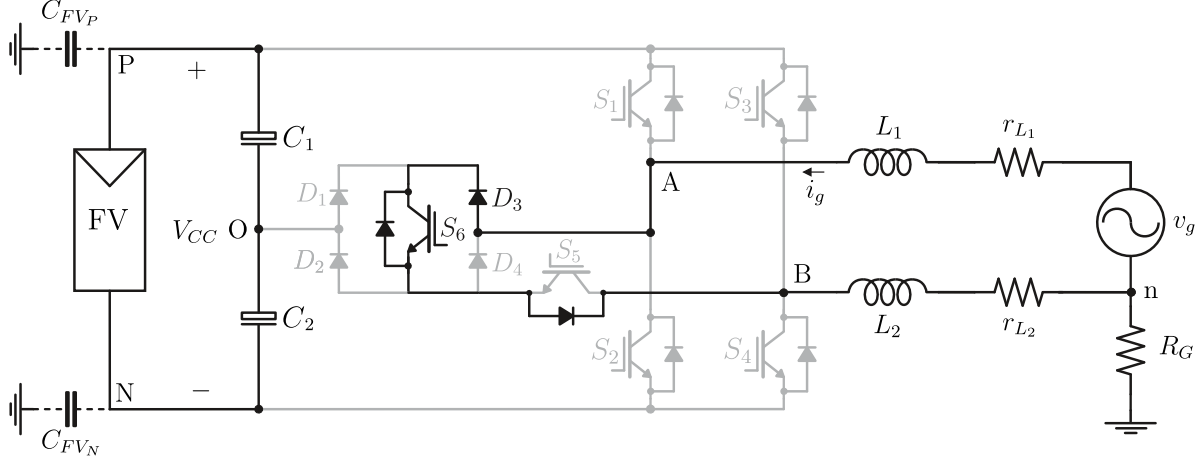


Fig. 31 – Modo de roda-livre - semiciclo negativo.

Fonte: produzido pelo autor.

O modo 4 ocorre entre os tempos  $t_5$  e  $t_6$  da Figura 29. Esse modo de operação, ilustrado na Figura 31, representa o modo de roda-livre do inversor durante o semiciclo negativo da corrente. As chaves  $S_5$  e  $S_6$  são ativadas para desacoplar a rede dos painéis fotovoltaicos através do ramo de desacoplamento CA. Assim, a corrente  $i_g$  flui através da chave  $S_6$ , do diodo  $D_3$  e do diodo em antiparalelo à chave  $S_5$ . Os diodos  $D_1$  e  $D_2$  conectam o ramo de desacoplamento ao ponto central do barramento CC, assegurando que as tensões de polo  $V_{AN}$  e  $V_{BN}$  sejam estabilizadas em  $\frac{V_{CC}}{2}$ . Como resultado, a tensão de saída  $V_{AB}$  é zero durante esse período, enquanto a tensão de modo comum permanece constante em  $\frac{V_{CC}}{2}$ , assim como nos outros três modos do conversor. As tensões do circuito no modo 4 são exibidas a seguir:

$$V_{AN} = \frac{V_{CC}}{2} \quad (3.34)$$

$$V_{BN} = \frac{V_{CC}}{2} \quad (3.35)$$

$$V_{AB} = V_{AN} - V_{BN} = \frac{V_{CC}}{2} - \frac{V_{CC}}{2} = 0 \quad (3.36)$$

$$V_{CM} = \frac{V_{AN} + V_{BN}}{2} = \frac{\frac{V_{CC}}{2} + \frac{V_{CC}}{2}}{2} = \frac{V_{CC}}{2} \quad (3.37)$$

Nesse período, a carga armazenada nos indutores de filtro durante o modo 3 é descarregada através da chave  $S_6$ , do diodo  $D_3$  e do diodo em antiparalelo à chave  $S_5$ . Devido a isso, a corrente  $i_g$  tende a se aproximar do zero (diminuindo seu módulo) ao longo dessa etapa. A equação a seguir descreve o comportamento de  $i_g$  nesse modo de operação:

$$i_g(t) - i_g(t_5) = \frac{-v_g(t)}{L_1 + L_2}(t - t_5) \quad (3.38)$$

A tensão sobre as chaves  $S_1$  a  $S_4$  nesse estado de operação é de metade do barramento  $CC$ , visto que as tensões de polo são fixadas nesse valor, fato pelo qual faz com que a tensões sobre os diodos de grampeamento  $D_1$  e  $D_2$  sejam zero.  $S_5$ ,  $S_6$  e  $D_3$  possuem tensão nula visto que conduzem a corrente  $i_g$  nessa etapa. Como a tensão  $V_{AB}$  é nula, a tensão sobre o diodo  $D_4$  também é zero.

Para um entendimento completo da topologia proposta, é fundamental compreender o funcionamento do ramo de grampeamento, que tem como objetivo manter a tensão de modo comum constante e garantir a redução da corrente de fuga no sistema. Esse ramo é essencial para garantir o correto funcionamento do inversor e sua análise é de extrema importância para se compreender como o circuito opera na prática. Na próxima subseção, serão descritas detalhadamente todas as possibilidades de funcionamento deste ramo do circuito, a fim de fornecer uma visão clara de seu papel na operação do inversor.

### 3.2.2 Princípio de funcionamento do ramo de grampeamento

A Figura 32 apresenta os possíveis estados de operação do ramo de grampeamento. É fundamental enfatizar que o funcionamento deste ramo ocorre sempre durante os períodos de roda-livre do inversor. Os diferentes modos de operação ocorrem de acordo com a relação entre a tensão  $V_{FP}$  do ramo de roda-livre, que é o caminho percorrido pela corrente  $i_g$  durante os períodos de estado-zero do inversor, e a tensão do ponto central do barramento  $CC$ , que corresponde a  $\frac{V_{CC}}{2}$ . Ambas as tensões são referenciadas ao terminal  $N$  da fonte  $CC$  do sistema.

Uma vez que as tensões de polo  $V_{AN}$  e  $V_{BN}$  são iguais que durante os períodos de roda-livre, a tensão do ramo de roda-livre  $V_{FP}$  é aproximadamente igual ao valor das tensões de polo nesses períodos. Caso esta tensão diferencie de  $\frac{V_{CC}}{2}$ , um dos diodos de grampeamento é polarizado diretamente e conduz uma pequena corrente entre o ramo de roda-livre e o barramento  $CC$  até que as tensões se igualem. Essa corrente é a parcela de  $i_{cm}$  que surge devido às oscilações da tensão da rede, discutida na seção 3.1. Apesar da existência dessa parcela da corrente de fuga, sua amplitude será desprezível devido ao ganho bem reduzido para baixas frequências, observado no diagrama de Bode da figura 20. Com o grampeamento realizado pelos dois diodos, é garantido que a tensão de modo comum, que é dada pela média aritmética das tensões de polo, permaneça constante durante os períodos de roda-livre.

A partir da Figura 32, é possível realizar a análise dos quatro diferentes modos de operação do ramo de grampeamento. No primeiro cenário, ilustrado na Figura 32a, a corrente  $i_g$  tem sentido positivo e  $V_{FP}$  é menor que  $\frac{V_{CC}}{2}$ . Neste caso, o diodo de

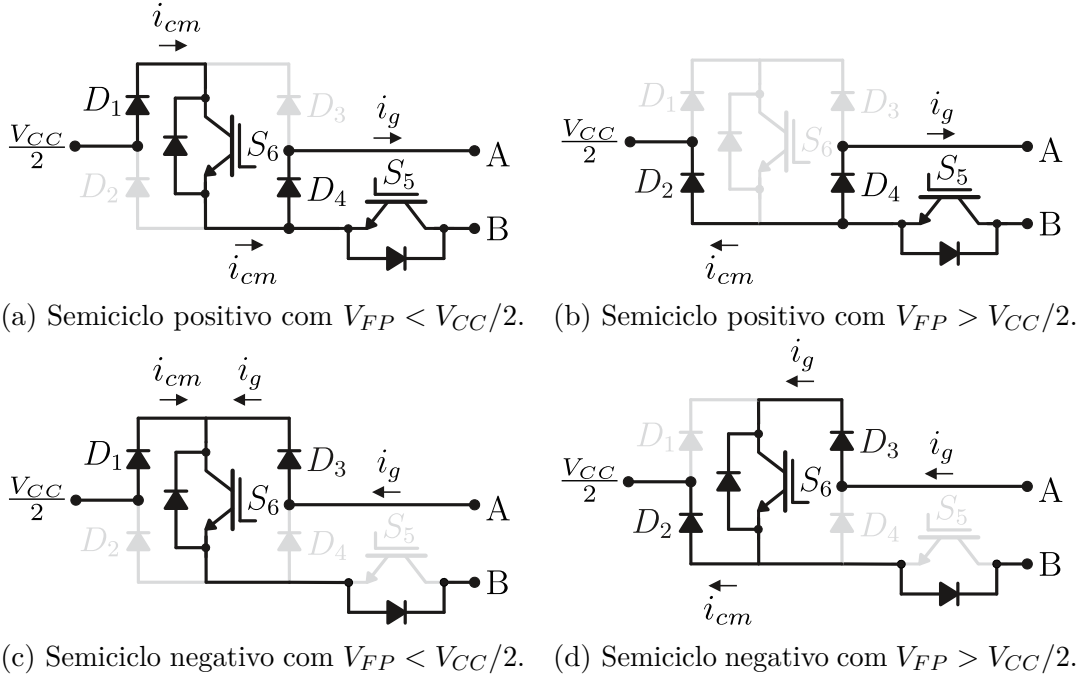


Fig. 32 – Modos de operação do ramo de grampeamento.

Fonte: produzido pelo autor.

grampeamento  $D_1$  é polarizado diretamente e conduz, junto à chave  $S_6$ , uma pequena corrente  $i_{cm}$  do barramento CC para a malha de roda-livre. A Figura 32b apresenta o segundo modo de operação, estabelecido quando  $V_{FP}$  é maior que  $\frac{V_{CC}}{2}$  e a corrente  $i_g$  tem sentido positivo. Nele, o diodo  $D_2$  é polarizado diretamente e conduz a corrente  $i_{cm}$  da malha de roda-livre para o barramento CC. Já no semiciclo negativo, existem dois estados de operação possíveis, ilustrados nas Figura 32c e 32d. Quando a tensão do ramo de roda-livre  $V_{FP}$  é menor que  $\frac{V_{CC}}{2}$ , o diodo  $D_1$  é polarizado diretamente e conduz a corrente  $i_{cm}$ . Por outro lado, se  $V_{FP}$  for maior que  $\frac{V_{CC}}{2}$ , será  $D_2$  que conduzirá  $i_{cm}$ .

### 3.3 Descrição da Técnica de Modulação

A técnica de modulação empregada se baseia na obtenção de funções que representem os ciclos de trabalho de cada chave do inversor proposto. Essas funções são utilizadas para ajustar os ciclos de trabalho a cada período de chaveamento, visando gerar uma tensão de saída cuja componente fundamental seja proporcional a uma referência  $v_{ref}$  desejada, determinada por:

$$v_{ref} = m_a V_{CC} \sin(\omega_o t), \quad (3.39)$$

onde  $m_a$  é o índice de modulação em amplitude,  $V_{CC}$  é a tensão do barramento CC e  $\omega_o$  é a frequência angular da rede elétrica.



O sinal de referência  $v_{ref}$  é dividido em  $N_r$  regiões, que variam de acordo com a quantidade de níveis da tensão de saída do inversor. O número de regiões  $N_r$  é definido como:

$$N_r = n - 1, \quad (3.40)$$

onde  $n$  é o número de níveis desejados na tensão de saída. Cada região é delimitada pelos dois níveis mais próximos, denominados de nível superior ( $V_{rsup}$ ) e nível inferior ( $V_{rinf}$ ). A Figura 33 apresenta as regiões utilizadas para o inversor proposto e os estados das chaves em cada nível da tensão de saída.

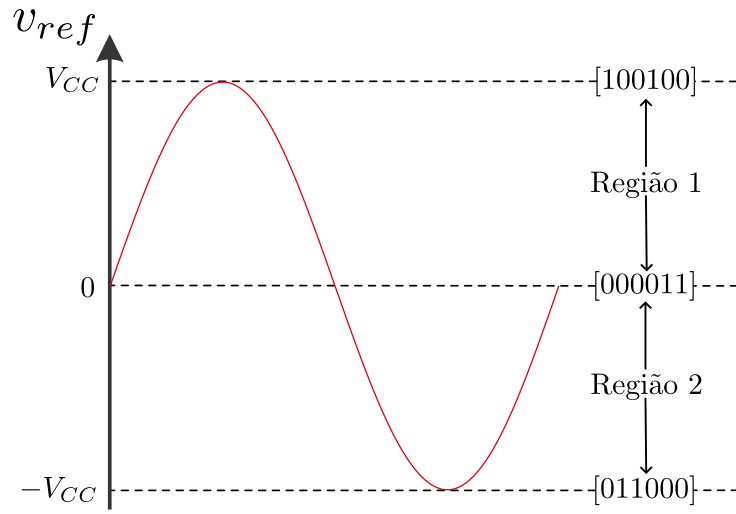


Fig. 33 – Regiões da referência  $v_{ref}$  e os estados das chaves em cada nível de tensão de saída.

Fonte: produzido pelo autor.

Visto que o inversor proposto gera três níveis na tensão de saída, são utilizadas duas regiões de  $v_{ref}$  para calcular os valores dos ciclos de trabalho de cada chave. Uma vez que os pares de chaves  $S_1$  e  $S_4$ ,  $S_2$  e  $S_3$ , e  $S_5$  e  $S_6$  comutam igualmente entre si, são empregados três sinais de chaveamento para o inversor proposto, de modo que:

- $q_1$  aciona as chaves  $S_1$  e  $S_4$ ;
- $q_2$  aciona as chaves  $S_2$  e  $S_3$ ;
- $q_3$  aciona as chaves  $S_5$  e  $S_6$ ;

Dessa forma, em cada região definida na Figura 33, calcula-se um ciclo de trabalho  $d_x$  associado a um sinal de chaveamento  $q_x$ . Esse cálculo é feito a partir dos valores da referência  $v_{ref}$ , dos níveis de tensão  $V_{rsup}$  e  $V_{rinf}$ , além dos estados de  $q_x$  durante a transição do nível superior  $V_{rsup}$  para o nível inferior  $V_{rinf}$ . A Figura 34 apresenta a comparação de um sinal de referência com uma portadora triangular, que por sua vez gera uma

determinada tensão de saída  $V_{AB}$ . Essa tensão varia do nível de tensão superior  $V_{r_{sup}}$  para o limite inferior  $V_{r_{inf}}$  dentro de um período de comutação  $T_s$ . Dois sinais de chaveamento quaisquer, denominados de  $q_a$  e  $q_b$ , são exibidos na figura. Para que haja a transição do sinal de saída de  $V_{r_{sup}}$  para  $V_{r_{inf}}$ , o sinal  $q_a$  comuta do nível lógico 1 para 0, enquanto  $q_b$  comuta de 0 para 1. O tempo em que o sinal  $q_a$  permanece no nível lógico alto em um período de comutação é denominado de  $\tau_a$ , enquanto  $\tau_b$  é o tempo em que  $q_b$  é mantido em 1.

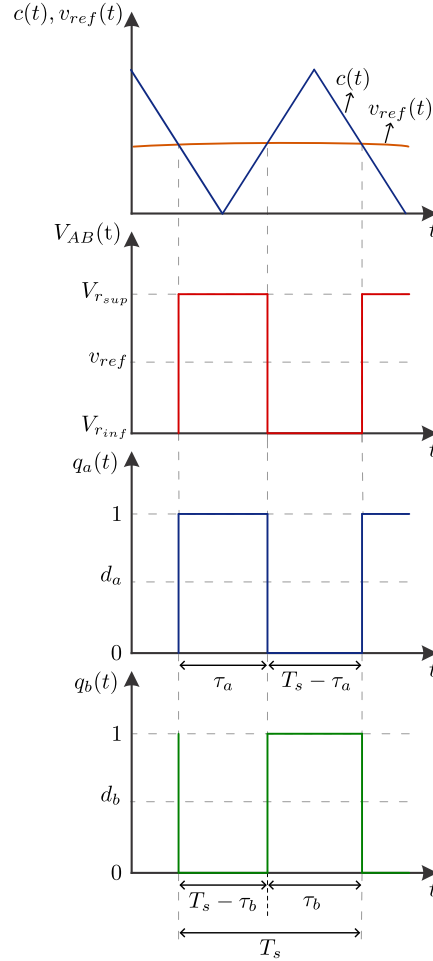


Fig. 34 – Comparação entre sinal de referência  $v_{ref}(t)$  e portadora triangular  $c(t)$ , a fim de gerar sinais de chaveamento  $q_a$  e  $q_b$  e uma tensão de saída com valor médio  $\overline{V_{AB}(t)} = v_{ref}$ .

Fonte: produzido pelo autor.

Com o objetivo de obter as funções dos ciclos de trabalho de cada chave, calcula-se o valor médio da tensão de saída dentro de um período de comutação ( $v_{ref}$ ):

$$v_{ref} = \frac{1}{T_s} \int_t^{T_s+t} V_{AB}(t) dt \quad (3.41)$$

Reescrevendo a integral a partir dos períodos relativos ao sinal de chaveamento  $q_x$ :

$$v_{ref} = \frac{1}{T_s} \left( \int_t^{t+\tau_a} V_{AB}(t) dt + \int_{t+\tau_a}^{t+T_s} V_{AB}(t) dt \right) \quad (3.42)$$

Ao resolver a equação (3.42) com os valores da tensão de saída em cada um dos períodos, obtém-se:

$$v_{ref} = \frac{1}{T_s} [V_{r_{sup}}(t + \tau_a - t) + V_{r_{inf}}(t + T_s - (t + \tau_a))] \quad (3.43)$$

Simplificando e colocando os períodos em evidência:

$$T_s(v_{ref} - V_{r_{inf}}) = \tau_a(V_{r_{sup}} - V_{r_{inf}}) \quad (3.44)$$

Com isso, é possível obter a fórmula do ciclo de trabalho  $d_a$  relativo ao sinal de chaveamento  $q_a$ :

$$d_a = \frac{\tau_a}{T_s} = \frac{v_{ref} - V_{r_{inf}}}{V_{r_{sup}} - V_{r_{inf}}} \quad (3.45)$$

A fim de determinar o ciclo de trabalho  $d_b$ , os períodos relativos ao sinal de chaveamento  $q_b$  são utilizados para solucionar a integral da equação (3.41):

$$v_{ref} = \frac{1}{T_s} \left( \int_t^{t+T_s-\tau_b} V_{AB}(t) dt + \int_{t+T_s-\tau_b}^{t+T_s} V_{AB}(t) dt \right) \quad (3.46)$$

c

Substituindo a tensão de saída pelos valores do limite superior e inferior, obtém-se:

$$v_{ref} = \frac{1}{T_s} [V_{r_{sup}}(t + T_s - \tau_b - t) + V_{r_{inf}}(t + T_s - (t + T_s - \tau_b))] \quad (3.47)$$

Colocando os períodos em evidência:

$$T_s(v_{ref} - V_{r_{sup}}) = \tau_b(V_{r_{inf}} - V_{r_{sup}}) \quad (3.48)$$

A fim de obter um valor positivo em ambos os lados da equação, multiplica-se os termos por  $-1$ :

$$T_s(V_{r_{sup}} - v_{ref}) = \tau_b(V_{r_{sup}} - V_{r_{inf}}) \quad (3.49)$$

Rearranjando os termos da equação (3.49), torna-se possível calcular o ciclo de trabalho relativo ao sinal de chaveamento  $q_b$ :

$$d_b = \frac{\tau_b}{T_s} = \frac{V_{r_{sup}} - v_{ref}}{V_{r_{sup}} - V_{r_{inf}}} \quad (3.50)$$

As equações (3.45) e (3.50) são utilizadas para calcular a razão cíclica das chaves que mudam de estado durante a transição entre o limite superior e inferior da tensão de saída. Para as chaves que permanecem em um único estado, podendo ser 0 ou 1, o ciclo de trabalho é estabelecido como o valor do próprio estado. Dessa forma, a regra geral para determinar um ciclo de trabalho qualquer, denominado de  $d_x$ , em uma região onde  $V_{r_{sup}} \geq v_{ref} > V_{r_{inf}}$  é dada por:

$$d_x = \begin{cases} 1, & \text{se } q_x = 1 \rightarrow q_x = 1 \\ \frac{v_{ref} - V_{r_{inf}}}{V_{r_{sup}} - V_{r_{inf}}}, & \text{se } q_x = 1 \rightarrow q_x = 0 \\ 0, & \text{se } q_x = 0 \rightarrow q_x = 0 \\ \frac{V_{r_{sup}} - v_{ref}}{V_{r_{sup}} - V_{r_{inf}}}, & \text{se } q_x = 0 \rightarrow q_x = 1 \end{cases} \quad (3.51)$$

Com isso, os sinais de chaveamento  $q_x$  são obtidos a partir da comparação dos ciclos de trabalho  $d_x$  com uma portadora triangular de alta frequência que varia entre 0 e 1. Nas situações onde  $q_x = 0 \rightarrow q_x = 1$  na transição de  $V_{r_{sup}} \rightarrow V_{r_{inf}}$ , como a chave varia de maneira inversa aos níveis da tensão de saída e se multiplicou o valor da tensão de referência  $v_{ref}$  por  $-1$  em (3.49), torna-se necessário comparar o ciclo de trabalho com uma portadora triangular de fase  $\theta_x = 180^\circ$ . Nos demais casos, a portadora utilizada tem fase  $\theta_x = 0^\circ$ . Dessa forma, a regra geral para determinar a fase da portadora a ser comparada com  $d_x$  é apresentada a seguir:

$$\theta_x = \begin{cases} 180^\circ, & \text{se } q_x = 0 \rightarrow q_x = 1 \text{ na transição de } V_{r_{sup}} \rightarrow V_{r_{inf}} \\ 0^\circ, & \text{nos demais casos.} \end{cases} \quad (3.52)$$

Como apresentado na Figura 33, a modulação para o inversor proposto possui 2 regiões e, portanto, duas fórmulas diferentes de ciclo de trabalho para cada sinal de chaveamento  $q_x$ . A seguir, realiza-se o cálculo do ciclo de trabalho nas duas regiões do sinal de referência para o inversor proposto.

A região 1 é delimitada pelos níveis de tensão de saída  $V_{CC}$  e 0. No nível  $V_{CC}$ , apenas o sinal de chaveamento  $q_1$  está ativo, enquanto  $q_2$  e  $q_3$  permanecem em nível lógico zero. Na transição de  $V_{CC}$  (limite superior) para o nível 0 (limite inferior), o sinal  $q_1$  comuta de 1 para 0, enquanto  $q_3$  chaveia de 0 para 1. O sinal  $q_2$  permanece em 0. Com base nessas informações, é possível calcular as fórmulas para os ciclos de trabalho de cada sinal de chaveamento aplicando as equações (3.51) e (3.52):

$$d_1 = \frac{v_{ref} - 0}{V_{CC} - 0} = \frac{v_{ref}}{V_{CC}} \quad (3.53)$$

$$\theta_1 = 0^\circ \quad (3.54)$$

$$d_2 = 0 \quad (3.55)$$

$$\theta_2 = 0^\circ \quad (3.56)$$

$$d_3 = \frac{V_{CC} - v_{ref}}{V_{CC} - 0} = \frac{V_{CC} - v_{ref}}{V_{CC}} = 1 - \frac{v_{ref}}{V_{CC}} \quad (3.57)$$

$$\theta_3 = 180^\circ \quad (3.58)$$

A região 2 delimita-se pelos níveis 0 e  $-V_{CC}$ . Na transição do nível 0 para  $-V_{CC}$ , o sinal  $q_1$  permanece em nível lógico baixo,  $q_2$  comuta de 0 para 1, enquanto  $q_3$  chaveia de 1 para 0. Com isso, aplicando os valores da região 2 nas equações (3.51) e (3.52), obtém-se as fórmulas dos ciclos de trabalho de cada sinal de chaveamento:

$$d_1 = 0 \quad (3.59)$$

$$\theta_1 = 0^\circ \quad (3.60)$$

$$d_2 = \frac{0 - v_{ref}}{0 + V_{CC}} = \frac{-v_{ref}}{V_{CC}} \quad (3.61)$$

$$\theta_2 = 180^\circ \quad (3.62)$$

$$d_3 = \frac{v_{ref} + V_{CC}}{0 + V_{CC}} = \frac{v_{ref} + V_{CC}}{V_{CC}} = 1 + \frac{v_{ref}}{V_{CC}} \quad (3.63)$$

$$\theta_3 = 0^\circ \quad (3.64)$$

A Tabela 2 resume os valores dos ciclos de trabalho  $d_x$ , fases das portadores  $\theta_x$  e limites duas regiões do sinal modulante  $v_{ref}$ . A partir da definição dos modos de funcionamento do circuito e a modulação utilizada, faz-se necessário realizar a modelagem do sistema com o objetivo de controlar a corrente a ser injetada pelo inversor na rede elétrica.

Tab. 2 – Regiões do sinal modulante  $v_{ref}$ , fórmulas dos ciclos de trabalho  $d_x$  e fases das portadoras  $\theta_x$ .

	Região 1	Região 2
$V_{r_{sup}} \geq v_{ref} > V_{r_{inf}}$	$V_{CC} \geq v_{ref} > 0$	$0 \geq v_{ref} > -V_{CC}$
<b>Transição</b>	$V_{CC} \rightarrow 0$	$0 \rightarrow -V_{CC}$
$d_1$	$v_{ref}/V_{CC}$	0
$d_2$	0	$-v_{ref}/V_{CC}$
$d_3$	$1 - v_{ref}/V_{CC}$	$1 + v_{ref}/V_{CC}$
$\theta_1$	$0^\circ$	$0^\circ$
$\theta_2$	$0^\circ$	$180^\circ$
$\theta_3$	$180^\circ$	$0^\circ$

Fonte: produzido pelo autor.

### 3.4 Modelagem do Sistema

O objetivo principal dos inversores nos sistemas de geração de energia fotovoltaica é transferir a potência extraída da fonte fotovoltaica para a rede CA, entregando uma potência ativa com qualidade de energia satisfatória, isto é, com uma distorção harmônica total dentro dos limites estabelecidos pelas normas (BOARD, 2003). Além disso, as normas impõem funcionalidades de suporte à rede, como a injeção de potência reativa e o controle da potência ativa. Para implementar as melhores estratégias de controle do sistema, incluindo o controle da potência ativa injetada na rede elétrica, é necessário analisar o comportamento dinâmico de cada elemento da planta. Esta seção tem como objetivo realizar a modelagem matemática de cada bloco do sistema, incluindo a modulação *Pulse Width Modulation* (PWM), a modelagem do inversor proposto e do filtro de saída, a fim de obter ferramentas para o controle da corrente injetada na rede elétrica.

#### 3.4.1 Modulador PWM

Para melhor entendimento da resposta dinâmica do modulador PWM no sistema definido na seção 3.3, uma interpretação geométrica para o seu funcionamento é apresentada na Figura 35. A partir dessa análise, é possível deduzir a relação entre o sinal de referência  $v_{ref}(t)$ , a portadora  $c(t)$  e o ciclo de trabalho  $d$ , que produz uma tensão média  $\overline{V_{AB}}$  na saída do conversor.

Na Figura 35, é apresentada a comparação entre um sinal modulante  $v_{ref}(t)$  com uma portadora  $c(t)$  de alta frequência, cujo resultado é o sinal de chaveamento  $q(t)$ . Dado que o sinal de referência possui uma frequência muito inferior ao sinal triangular da portadora, é razoável aproximar a modulante para um valor constante  $\overline{v_{ref}}$ . Com base

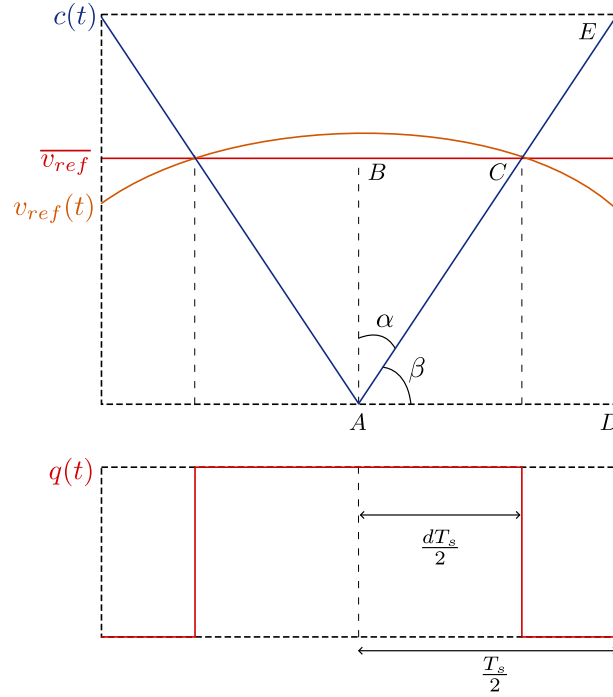


Fig. 35 – Interpretação geométrica para o funcionamento da modulação PWM.

Adaptado de [Miranda \(2012\)](#).

nessa simplificação, dois triângulos retângulos são formados entre a portadora triangular, valor médio da modulante e os eixos do gráfico, com vértices  $ABC$  e  $AED$ . No vértice  $A$  desses triângulos, formam-se dois ângulos, identificados na Figura 35 como  $\alpha$  e  $\beta$ . Uma vez que esses ângulos são complementares, ou seja, somados formam um ângulo de  $90^\circ$ , a relação trigonométrica a seguir é válida:

$$\operatorname{tg} \alpha = \frac{1}{\operatorname{tg} \beta} \quad (3.65)$$

Pela definição, a tangente é calculada pela divisão entre o cateto oposto e o adjacente de cada ângulo. Dessa forma, as tangentes de  $\alpha$  e  $\beta$  são determinadas por:

$$\operatorname{tg} \alpha = \frac{\overline{BC}}{\overline{AB}} \quad (3.66)$$

$$\operatorname{tg} \beta = \frac{\overline{DE}}{\overline{AD}} \quad (3.67)$$

Assim, substituindo (3.66) e (3.67) na equação (3.65), se obtém a relação:

$$\frac{\overline{BC}}{\overline{AB}} = \frac{\overline{AD}}{\overline{DE}} \quad (3.68)$$

O valor de pico a pico da portadora  $c(t)$  é definido como  $c_{max}$ , enquanto seu período é denominado de  $T_s$ . O ciclo de trabalho é identificado como  $d$  e o sinal  $q(t)$  permanece

em nível lógico alto durante um tempo de  $dT_s$  a cada período de chaveamento. A partir dessas informações e da interpretação geométrica apresentada na Figura 35, substitui-se o valor dos lados dos triângulos em (3.68), obtendo a relação a seguir:

$$\frac{dT_s}{2v_{ref}} = \frac{T_s}{2c_{max}} \quad (3.69)$$

Com isso, o ganho do bloco PWM, que indica a relação entre o ciclo de trabalho  $d$  com a modulante  $v_{ref}$ , é determinado por:

$$P(s) = \frac{d}{v_{ref}} = \frac{1}{c_{max}} \quad (3.70)$$

De acordo com Matavelli e Buso (2006) e Holmes e Lipo (2003), é recomendável que a frequência da portadora seja pelo menos 10 a 20 vezes maior que a componente de maior frequência da modulante, a fim de obter uma representação precisa do sinal médio através do PWM. Assim, todas as informações contidas no sinal modulante serão refletidas na razão cíclica  $d$ . Nesses casos, a equação (3.70) é uma boa aproximação para o comportamento do modulador PWM.

Além da relação indicada em (3.70), é importante considerar o atraso natural na implementação digital do PWM no projeto do controlador da planta. Esse atraso tem um impacto na fase e, conseqüentemente, na estabilidade do sistema. Considerando um atraso de  $T_a$ , a função de transferência correspondente é expressa por:

$$A(s) = e^{-sT_a} \quad (3.71)$$

Utilizando a aproximação de Padé para simplificar a função de transferência obtida, o atraso pode ser expresso como:

$$A(s) = \frac{1 - s\frac{T_a}{2}}{1 + s\frac{T_a}{2}} \quad (3.72)$$

A função de transferência correspondente ao bloco do modulador PWM é determinada através do produto entre o ganho  $P(s)$  e o atraso  $A(s)$  da implementação digital:

$$M(s) = P(s)A(s) = \frac{1}{c_{max}} e^{-sT_a} = \frac{1}{c_{max}} \frac{1 - s\frac{T_a}{2}}{1 + s\frac{T_a}{2}} \quad (3.73)$$

### 3.4.2 Inversor Monofásico Conectado à Rede

Nesta subseção, apresenta-se a modelagem do inversor monofásico conectado à rede elétrica, que permite obter a relação entre a tensão média de saída do conversor  $\overline{V_{AB}}$  e a



corrente  $i_g$  injetada na rede elétrica através do filtro de saída com o ciclo de trabalho  $d$ .

Para obtenção do modelo, utiliza-se o inversor de ponte completa ilustrado na Figura 36. O objetivo é controlar a corrente injetada na rede e assegurar que a amplitude, frequência e taxa de distorção harmônica sigam a exigência do projeto.

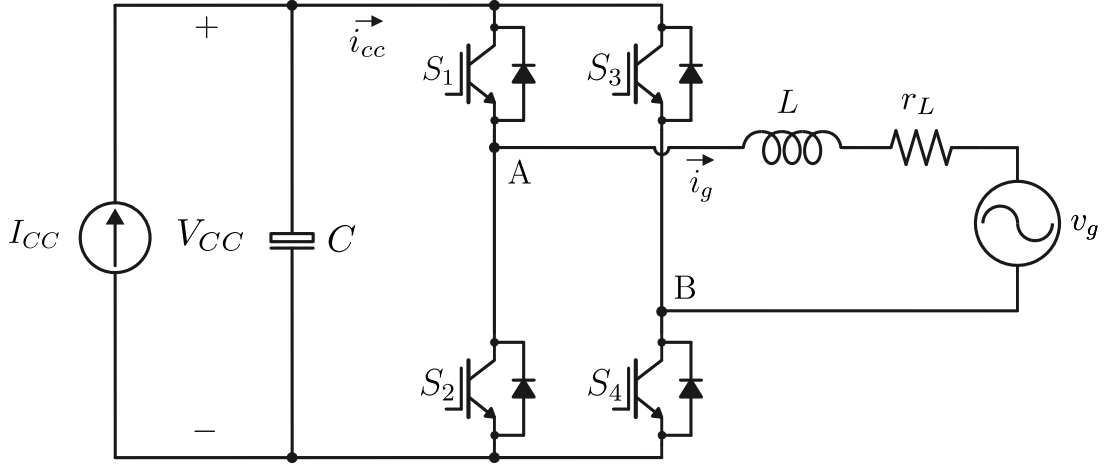


Fig. 36 – Inversor monofásico conectado à rede.

Fonte: produzido pelo autor.

Para determinar a relação entre a corrente injetada na rede e o ciclo de trabalho, é necessário primeiro analisar a tensão de entrada do filtro  $V_{AB}(t)$ . A Figura 37 ilustra a forma de onda da tensão  $V_{AB}(t)$  em um período de  $T_s$ .

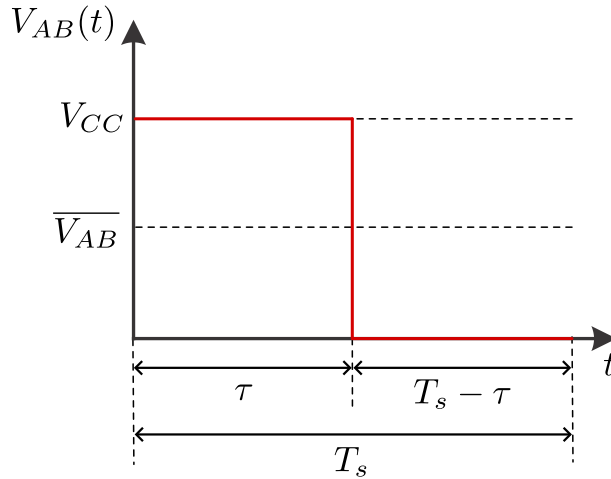


Fig. 37 – Tensão  $V_{AB}(t)$  na saída do inversor.

Fonte: produzido pelo autor.

Durante um período de tempo denominado de  $\tau$ , a tensão de saída se mantém em  $V_{CC}$ , enquanto que no restante do tempo, que é igual a  $T_s - \tau$ , a tensão se mantém em zero. A partir dessas considerações, é possível calcular a tensão média  $\overline{V_{AB}}$ :

$$\overline{V_{AB}} = \frac{1}{T_s} \int_0^{T_s} V_{AB}(t) dt \quad (3.74)$$

$$\overline{V_{AB}} = \frac{1}{T_s} \left( \int_0^\tau V_{CC} dt + \int_\tau^{T_s} 0 dt \right) \quad (3.75)$$

Resolvendo as integrais:

$$\overline{V_{AB}} = \frac{1}{T_s} [V_{CC}(\tau - 0) + 0(T_s - \tau)] \quad (3.76)$$

$$\overline{V_{AB}} = \frac{V_{CC}\tau}{T_s} \quad (3.77)$$

Por fim, encontra-se a relação entre a tensão média  $\overline{V_{AB}}$  e o ciclo de trabalho  $d$ :

$$\frac{\overline{V_{AB}}}{d} = V_{CC} \quad (3.78)$$

Para determinar o comportamento do lado **CC** do conversor, é necessário determinar um modelo, ilustrado na Figura 38, que relacione a tensão  $V_{CC}$  do barramento **CC** com a corrente injetada na rede. Com esse objetivo, realiza-se a análise do estado da corrente de entrada do inversor ao longo de um período de comutação durante o semiciclo positivo da corrente  $i_g$ , apresentada na Tabela 3.

Tab. 3 – Estados da corrente  $i_{cc}$  em um período de comutação.

$S_1$	$S_2$	$S_3$	$S_4$	Intervalo	$V_{AB}$	$i_{cc}$
1	0	0	1	$\tau$	$V_{CC}$	$i_g$
1	0	1	0	$T_s - \tau$	0	0

Fonte: produzido pelo autor.

A fim de determinar a corrente média  $\overline{i_{cc}}$  em um período de comutação, é necessário calcular a integral apresentada a seguir:

$$\overline{i_{cc}} = \frac{1}{T_s} \int_0^{T_s} i_{cc}(t) dt \quad (3.79)$$

Utilizando os dados apresentados na Tabela 3, é possível resolver a integral e obter o seguinte resultado:

$$\overline{i_{cc}} = \frac{1}{T_s} [i_g\tau + 0(T_s - \tau)] \quad (3.80)$$

$$\overline{i_{cc}} = \frac{i_g\tau}{T_s} \quad (3.81)$$

Com isso, obtém-se a equação que descreve a corrente média na entrada do inversor em função do ciclo de trabalho e da corrente injetada na rede:

$$\overline{i_{cc}} = i_g d \quad (3.82)$$

A partir das equações (3.78) e (3.82), pode-se definir um circuito equivalente do inversor conectado à rede apresentado na Figura 38. Nesse circuito, a tensão  $\overline{V_{AB}}$  é modelada como uma fonte de tensão controlada pelo ciclo de trabalho  $d$ , enquanto a corrente  $\overline{i_{cc}}$  modelada como uma fonte de corrente também controlada pela razão cíclica.

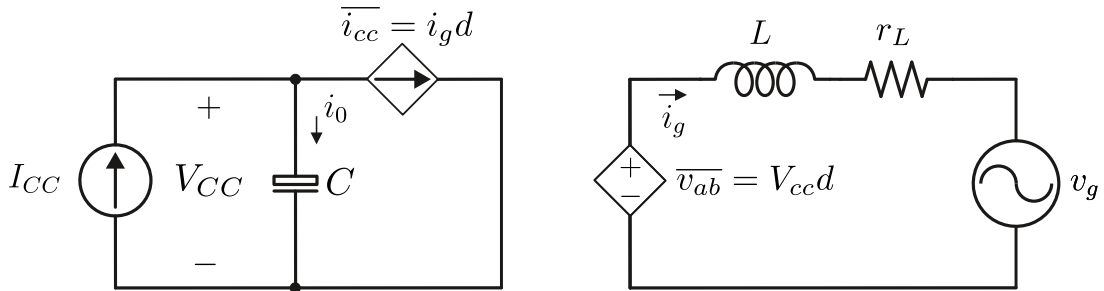


Fig. 38 – Modelo equivalente do inversor monofásico conectado à rede.

Fonte: produzido pelo autor.

Do circuito equivalente da Figura 38, obtém-se o modelo médio do conversor.

No lado CA:

$$r_L i_g + L \frac{di_g}{dt} = V_{CC} d - v_g \quad (3.83)$$

No lado CC:

$$i_{CC} = i_g d + i_0 \rightarrow i_{CC} = i_g d + C \frac{dv_{CC}}{dt} \quad (3.84)$$

#### 3.4.2.1 Lado CA do Conversor

Para realizar a análise de pequenos sinais do modelo médio do lado CA apresentado em (3.83), é inserida uma perturbação na razão cíclica  $d$  a fim de observar a resposta da corrente  $i_g$ . São desconsiderados os termos de segunda ordem, visto que são proporcionais ao quadrado dos valores da perturbação e tornam-se desprezíveis. Além disso, os termos constantes também são omitidos pois não variam com a perturbação e, portanto, não afetam a resposta do sistema a pequenas mudanças.

Aplicando a perturbação na corrente  $i_g$  em (3.83):

$$r_L(I_g + \hat{i}_g) + L \frac{d(I_g + \hat{i}_g)}{dt} = V_{CC}(D + \hat{d}) - v_g \quad (3.85)$$

$$r_L \hat{i}_g + L \frac{d\hat{i}_g}{dt} = V_{CC} \hat{d} \quad (3.86)$$

Aplicando a transformada de Laplace em (3.86), obtém-se a equação que relaciona a corrente  $i_g$  injetada na rede e a razão cíclica  $d$ :

$$r_L I_g(s) + s L I_g(s) = V_{CC} D(s) \quad (3.87)$$

$$G_i(s) = \frac{I_g(s)}{D(s)} = \frac{V_{CC}}{r_L(1 + s \frac{L}{r_L})} \quad (3.88)$$

#### 3.4.2.2 Lado CC do Conversor

Na análise do lado CC do modelo médio do conversor, aplica-se uma perturbação na corrente  $i_g$  com o objetivo de observar a resposta da tensão  $v_{CC}$  do barramento CC. Com isso, a equação (3.84) torna-se:

$$i_{CC} = (I_g + \hat{i}_g)D + C \frac{d(V_{CC} + \hat{v}_{CC})}{dt}, \quad (3.89)$$

onde  $I_{CC}$ ,  $V_{CC}$  e  $D$  são os valores em regime permanente para a corrente dos módulos fotovoltaicos, a tensão do barramento CC e a razão cíclica, respectivamente. Desprezando os termos constantes, obtém-se:

$$0 = \hat{i}_g D + C \frac{d\hat{v}_{CC}}{dt} \quad (3.90)$$

Aplicando a Transformada de Laplace em (3.91), encontra-se a relação entre a tensão do barramento CC e a razão cíclica  $d$ :

$$0 = I_g(s)D + C s V_{CC}(s) \quad (3.91)$$

$$\frac{V_{CC}(s)}{I_g(s)} = \frac{-D}{sC} \quad (3.92)$$

Em um conversor ideal, a potência de entrada  $P_{in}$  é igual à potência de saída  $P_{out}$ :

$$P_{in} = P_{out} \quad (3.93)$$

Substituindo as potências de acordo pelas correntes e tensões do circuito:

$$V_{CC} I_{CC} = V_{g_{rms}} I_{g_{rms}} = \frac{V_{g_{rms}} I_g}{\sqrt{2}} \quad (3.94)$$

Rearranjando os termos em (3.94) e utilizando a relação obtida na equação (3.82), é possível determinar o valor de  $D$ :

$$D = \frac{I_{CC}}{I_g} = \frac{V_{g_{rms}}}{\sqrt{2}V_{CC}} \quad (3.95)$$

Substituindo a equação (3.95) em (3.92), encontra-se a função de transferência que relaciona a tensão do barramento CC com a corrente injetada na rede, definida por:

$$G_v(s) = \frac{V_{CC}(s)}{I_g(s)} = -\frac{V_{g_{rms}}}{s\sqrt{2}CV_{CC}} \quad (3.96)$$

Com as funções de transferências obtidas e apresentadas em (3.73), (3.88) e (3.92), é possível analisar o comportamento em frequência do inversor e desenvolver as melhores estratégias para o controle da corrente injetada na rede elétrica e da tensão sobre o capacitor do barramento CC.

### 3.5 Estratégia de Controle Proposta

A fim de assegurar o controle adequado da corrente injetada na rede e, conseqüentemente, do fluxo de potência ativa e reativa do sistema, empregou-se o sistema de controle esquematizado na Figura 39. O sistema tem como objetivo controle a corrente  $i_g$  a partir de uma referência de  $i_g^*$  determinada por:

$$i_g^* = i_{g,pico}^* \text{sen}(\omega_o t) \quad (3.97)$$

Onde  $\omega_o$  é a frequência angular da rede elétrica. O valor de pico da referência  $i_{g,pico}^*$  é determinada pela potência  $P_n$  a ser injetada e pela tensão rms da rede elétrica:

$$i_{g,pico}^* = \frac{2P_n}{\sqrt{2}v_{g,rms}} \quad (3.98)$$

A referência  $i_g^*$  é comparada com o valor instantâneo de  $i_g$  medido por um sensor com função de transferência  $H_i(s)$  e o erro enviado para controlador proporcional-ressonante  $C_{PR}(s)$ , que será determinado a seguir. O controlador tem a função de gerar uma referência da tensão de saída  $V_{AB}^*$  para o modulador PWM, cuja função de transferência  $M(s)$  foi obtida em (3.73). A partir daí, o modulador gera uma referência de ciclo de trabalho  $d$  para o inversor, que resulta em uma corrente  $i_g$  ao passar pela planta de corrente  $G_i(s)$ , apresentada na equação (3.88).

A malha de corrente apresentada na Figura 39 tem um papel fundamental na garantia da qualidade da energia que é injetada na rede elétrica. Sua função é produzir

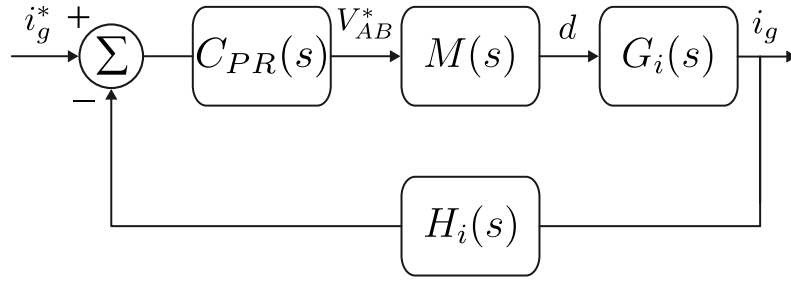


Fig. 39 – Sistema de controle da corrente injetada na rede elétrica.

uma corrente de saída com amplitude adequada e em fase com a tensão da rede, o que resulta em um fator de potência unitário. Para que isso seja possível, é necessário que a malha seja rápida o suficiente para reproduzir a corrente de forma precisa e sem distorções significativas (BLAABJERG et al., 2006).

### 3.5.1 Controlador Proporcional-Ressonante

O sistema utiliza um controlador Proporcional-ressonante (PR), que introduz um ganho infinito em uma frequência ressonante e torna possível o uso de uma referência senoidal de corrente nessa determinada frequência com erro zero (ZHOU; SONG; BLAABJERG, 2018). A função de transferência do controlador PR é dada por:

$$C_{PR}(s) = k_{pr} + \frac{sk_{ir}}{s^2 + \omega_0^2}, \quad (3.99)$$

onde:

- $k_{pr}$  é o ganho proporcional do controlador PR;
- $k_{ir}$  é o ganho integral do controlador PR;
- $\omega_0$  é a frequência de ressonância (que, no caso deste trabalho, é a frequência fundamental da rede).

O projeto do controlador é realizado por meio da análise da resposta em frequência, que consiste na variação da frequência do sinal de entrada em um determinado intervalo e análise da resposta do sistema em regime permanente. Assim, o projeto de controle utiliza o diagrama de Bode, que é uma representação gráfica da resposta em frequência do sistema e mostra como a amplitude e a fase do sinal de saída variam em função da frequência do sinal de entrada. Os principais parâmetros utilizados serão a frequência de cruzamento de ganho  $\omega_{ci}$ , que é a frequência onde a magnitude do ganho de transferência é igual a 1, e a margem de fase  $\phi_i$ , que representa a diferença entre a fase do sistema na frequência de cruzamento e o ângulo de  $-180^\circ$  e indica a quantidade de fase que um sistema pode adicionar antes que ocorra instabilidade.

A resposta em frequência em malha aberta do controlador **PR** é apresentada na Figura 40 e comparada ao controlador Proporcional-integral (**PI**) convencional. É possível notar que, em altas frequências, as respostas dos dois controladores se igualam. Como os parâmetros utilizados para o projeto de controle (frequência de cruzamento de ganho e margem de fase) estão localizados nas altas frequências, eles são iguais para ambos os controladores (HOLMES et al., 2009). Devido a isso, o projeto do controlador de corrente pode ser realizado com as mesmas premissas de projeto do controlador **PI** simples.

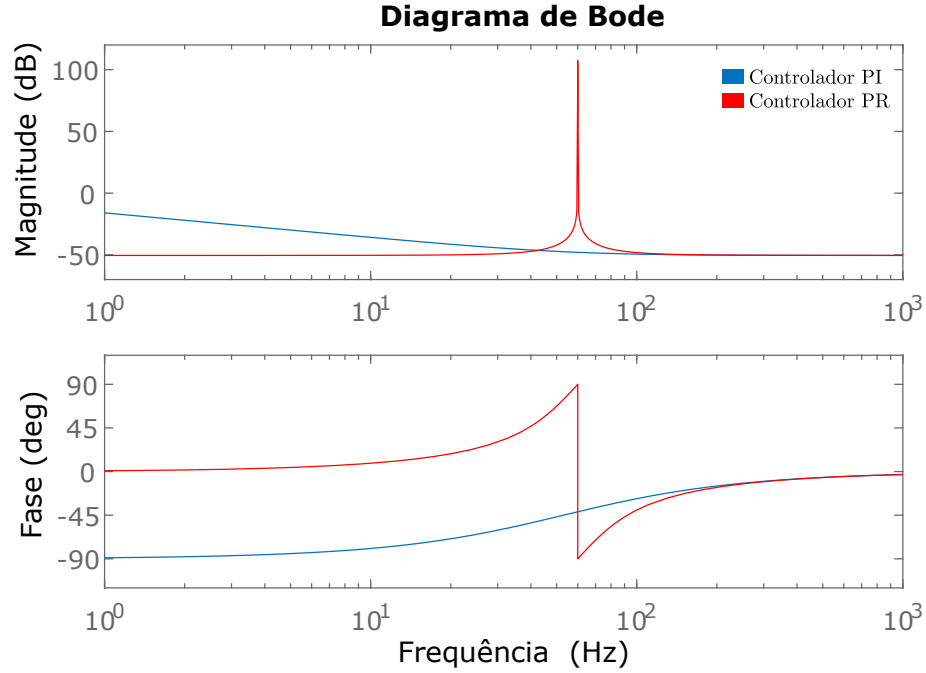


Fig. 40 – Diagrama de Bode do controlador PR em comparação com o controlador PI convencional.

Fonte: adaptado de Holmes et al. (2009).

A função de transferência do controlador **PI** simples pode ser dada por:

$$C_i(s) = k_{pi} + \frac{k_{ii}}{s} = k_{pi} \left( \frac{sk_{pi}/k_{ii} + 1}{sk_{pi}/k_{ii}} \right) = k_{pi} \left( \frac{s\tau_i + 1}{s\tau_i} \right), \quad (3.100)$$

onde:

- $k_{pi}$  é o ganho proporcional;
- $k_{ii}$  é o ganho integrativo;
- $\tau_i$  é a constante de tempo integrativo do controlador.

Com isso, o controlador proporcional-ressonante, cuja função de transferência é apresentada em (3.99), será projetado de modo que os ganhos serão iguais ao controlador PI convencional:

$$k_{pr} = k_{pi} \quad (3.101)$$

$$k_{ir} = k_{ii} \quad (3.102)$$

Entretanto, o controlador PR ideal não é realizável, visto que tem ganho infinito na frequência de ressonância (TEODORESCU et al., 2006). Devido a isso, utiliza-se uma função similar que possui ganho finito, mas relativamente alto, a ponto que o erro em regime permanente seja desprezível. Além disso, com essa função, o pico de ressonância não acontece apenas em uma frequência como no controlador PR ideal, mas em uma faixa de frequências, denominada de banda de ressonância. A função de transferência do controlador PR realizável é apresentada a seguir:

$$C_{PR}(s) = k_{pr} + \frac{sk_{ir}}{s^2 + s\omega_b + \omega_o^2}, \quad (3.103)$$

onde  $\omega_b$  é a frequência da banda de ressonância. Em contraste com a equação (3.99), na equação (3.103) é possível ajustar a banda de ressonância do controlador para evitar problemas de sensibilidade decorrentes de mudanças na frequência da tensão da rede, por exemplo. É recomendável que se utilize valores entre 2 a 10 rad/s para  $\omega_b$ , a fim de lidar com diferentes casos de variação na frequência da rede (ZHOU; SONG; BLAABJERG, 2018).

### 3.5.2 Cálculo dos Ganhos

Para calcular os ganhos do controle da corrente, é necessário analisar a função de transferência de malha aberta  $G_{MA_i}(s)$ . Para isso, é utilizado o diagrama de blocos ilustrado na Figura 39. A função de transferência de malha aberta é determinada por:

$$G_{MA_i}(s) = C_{PR}(s)M(s)G_i(s) \quad (3.104)$$

As funções de cada bloco são apresentadas em (3.103), (3.73) e (3.88). Considerando  $c_{max} = 1$  e  $H_i(s) = 1$  e substituindo as funções de transferências dos blocos em (3.104):

$$G_{MA_i}(s) = k_{pi} \left( \frac{s\tau_i + 1}{s\tau_i} \right) \frac{V_{CC}e^{-sT_a}}{R(1 + s\frac{L}{R})} \quad (3.105)$$

Para garantir a estabilidade do sistema, é necessário estabelecer a constante de tempo integrativa com base na margem de fase  $\phi_i$  determinada. Assim, a fase de  $G_{MA_i}(s)$  deve ser igual a  $-\pi + \phi_i$  na frequência de cruzamento  $\omega_{ci}$ :

$$\angle G_{MA_i}(j\omega_{ci}) = -\pi + \phi_i \quad (3.106)$$



Substituindo (3.105) em (3.106):

$$\angle k_{pi} \left( \frac{j\omega_{ci}\tau_i + 1}{j\omega_{ci}\tau_i} \right) + \angle \frac{V_{CC}e^{-j\omega_{ci}T_a}}{R(1 + j\omega_{ci}\frac{L}{R})} = -\pi + \phi_i \quad (3.107)$$

A fase de um número complexo  $a + jb$  é determinada por:

$$\angle(a + jb) = \tan^{-1}\left(\frac{b}{a}\right) \quad (3.108)$$

Utilizando 3.108, é possível reescrever a equação 3.107 da seguinte forma:

$$\tan^{-1}\left(\frac{\omega_{ci}\tau_i}{1}\right) - \frac{\pi}{2} - \omega_{ci}T_a - \tan^{-1}\left(\frac{\omega_{ci}L}{R}\right) = -\pi + \phi_i \quad (3.109)$$

Rearranjando 3.109, determina-se o valor de  $\tau_i$ :

$$\tau_i = \frac{\tan^{-1}\left(\frac{\omega_{ci}L}{R}\right) + \phi_i}{\omega_{ci}} \quad (3.110)$$

Para determinar o valor de  $k_{pi}$ , é necessário utilizar o conceito de frequência de cruzamento de ganho ( $\omega_{ci}$ ). Para garantir que o sistema responda rapidamente às perturbações, é recomendado escolher uma frequência de cruzamento que seja de 10 a 20 vezes menor do que a frequência de chaveamento do sistema (ZHOU; BLAABJERG, 2017). Nesse sentido, o módulo de  $G_{MAi}$  na frequência de cruzamento deve ser igual a 1, conforme a equação abaixo:

$$|G_{MAi}(j\omega_{ci})| = 1 \quad (3.111)$$

Substituindo a função de transferência de  $G_{MAi}$ , apresentada em (3.105), na equação (3.111), obtém-se:

$$\left| k_{pi} \left( \frac{j\omega_{ci}\tau_i + 1}{j\omega_{ci}\tau_i} \right) \right| * \left| \frac{V_{CC}e^{-j\omega_{ci}T_a}}{R(1 + j\omega_{ci}\frac{L}{R})} \right| = 1 \quad (3.112)$$

$$\frac{k_{pi} \sqrt{\omega_{ci}^2 \tau_i^2 + 1^2}}{\tau_i \omega_{ci}} \frac{V_{CC}}{R \sqrt{\omega_{ci}^2 (\frac{L}{R})^2 + 1^2}} = 1 \quad (3.113)$$

Rearranjando 3.113, é obtida a fórmula para determinação do ganho proporcional da malha de corrente:

$$k_{pi} = \frac{\tau_i \omega_{ci} R \sqrt{\omega_{ci}^2 (\frac{L}{R})^2 + 1^2}}{V_{CC} \sqrt{\omega_{ci}^2 \tau_i^2 + 1^2}} \quad (3.114)$$

Finalmente, obtém-se o valor de  $k_{ii}$  pela relação entre o ganho proporcional e a constante de tempo integrativo:

$$k_{ii} = \frac{k_{pi}}{\tau_i} \quad (3.115)$$

Com as modelagens realizadas e os ganhos do controlador obtidos, torna-se possível realizar a simulação das topologias de inversores sem transformador estudadas, com o objetivo de comparar o desempenho da topologia proposta com os inversores já abordados na literatura.

## 4 Análise de Resultados

Neste capítulo, são apresentados e discutidos os resultados de simulação e experimentais para o inversor proposto. A partir dos resultados obtidos, torna-se possível analisar as vantagens e limitações da topologia proposta ao realizar comparações com as técnicas já apresentadas na literatura. As simulações foram realizadas no *software* PSIM e no ambiente Simulink do MATLAB.

### 4.1 Escolha dos Parâmetros

A modulação PWM introduz harmônicos de alta frequência na corrente injetada na rede elétrica, centrados na frequência de chaveamento e seus múltiplos (PRATA, 2012). Consequentemente, quanto maior for a frequência de chaveamento utilizada, mais distantes da frequência da rede estão as harmônicas presentes na corrente de saída do inversor. Com o conteúdo harmônico concentrado em frequências mais altas, há uma diminuição da dimensão, peso e custo do filtro de saída (BARBI et al., 2007). No entanto, o aumento da frequência de chaveamento ocasiona o aumento das perdas por comutação dos dispositivos do inversor. Para alcançar o equilíbrio necessário para a aplicação em questão, utilizou-se uma frequência de chaveamento próxima a valores típicos utilizados em estudos anteriores, como (ZHANG et al., 2013b), (KHAN et al., 2020) e (FREDDY et al., 2014b). Foi escolhida uma frequência de chaveamento de 18 kHz, de forma que o índice de modulação em frequência  $m_f$  seja estabelecido em:

$$m_f = \frac{f_{sw}}{f_o} = \frac{18 \text{ kHz}}{60 \text{ Hz}} = 300, \quad (4.1)$$

onde  $f_{sw}$  é a frequência de chaveamento do inversor e  $f_o$  é a frequência da rede elétrica. Destaca-se que o índice  $m_f$  é escolhido como um número inteiro, de forma que o conteúdo harmônico da corrente injetada na rede não apresente inter-harmônicos e sub-harmônicos indesejados (ASKER; KILIC, 2017).

Já o índice de modulação em amplitude  $m_a$  é definido pela relação entre a amplitude do sinal de referência e a amplitude da portadora triangular:

$$m_a = \frac{V_{ref_{pico}}}{V_{c_{pico}}} \quad (4.2)$$

Caso esse índice seja menor ou igual a 1, a amplitude  $V_1$  da frequência fundamental da tensão de saída  $V_{AB}$  varia linearmente com  $m_a$  (HART; HART, 2011). Dessa forma, é possível definir  $m_a$  pela relação a seguir:

$$m_a = \frac{V_1}{V_{CC}} \quad (4.3)$$

Assim,  $m_a$  pode ser ajustado para variar a amplitude da saída e, consequentemente, o nível da corrente e potência injetada na rede. Além disso, é desejável que  $m_a$  assuma valores próximos a 1 para que a componente fundamental da tensão de saída aumente e, consequentemente, a  $THD_i$  seja reduzida. Como em (FREDDY et al., 2014b), a tensão de barramento CC escolhida foi de 400 V para uma tensão de rede de 220V rms. Dessa forma, o  $m_a$  é dado por:

$$m_a = \frac{220\sqrt{2}}{400} = 0,78 \quad (4.4)$$

Com o valor de  $m_a$  estabelecido, calcula-se o valor da indutância do filtro de saída, que é determinado a partir da distorção harmônica máxima admissível  $THD_i$  para a corrente de saída. Segundo (PUPO, 2015), o indutor do filtro de saída para um inversor monofásico é obtido através de:

$$L = \frac{m_a V_{CC} (1 - m_a)}{2 THD_i i_{g,pico} f_{sw}} \quad (4.5)$$

Onde  $i_{g,pico}$  é o valor da componente fundamental da corrente de saída.  $i_{g,pico}$  pode ser calculado utilizando a expressão apresentada na equação (3.98). Para um sistema de 1,5 kW, têm-se que:

$$I_1 = \frac{3000}{\sqrt{2}220} = 9,64 \text{ A} \quad (4.6)$$

Deseja-se que a corrente de saída  $i_g$  apresente um  $THD_i$  de 2%. Portanto, a indutância mínima é dada por:

$$L = \frac{0,78 \times 400(1 - 0,78)}{2 \times 0,02 \times 9,64 \times 18000} = 9,9 \text{ mH} \quad (4.7)$$

Nas simulações, utiliza-se um filtro L simétrico com  $L_1 = L_2$  para que a contribuição da tensão  $V_{AB}$  na corrente de fuga seja anulada, assim como debatido na seção 3.1. Visto que a indutância total é a soma de  $L_1$  com  $L_2$ , tem-se que:

$$L_1 = L_2 = 5 \text{ mH} \quad (4.8)$$

Segundo (NATUME et al., 2016), o capacitor do barramento CC pode ser calculado por:

$$C = \frac{P_n}{\pi f_o V_{CC} \Delta V_C} \quad (4.9)$$

Para um *ripple* de 5%, o valor absoluto de  $\Delta V_C$  é dado por:

$$\Delta V_C = 0,05 \times 400 = 20 \text{ V} \quad (4.10)$$

Assim, o capacitor do barramento CC é determinado por:

$$C = \frac{1500}{\pi \times 60 \times 400 \times 20} = 1 \text{ mF} \quad (4.11)$$

Visto que o barramento CC é composto por dois capacitores em série e  $C_1 = C_2$ , cada capacitor deve possuir o dobro da capacitância total desejada. Dessa forma, define-se que:

$$L_1 = L_2 = 2 \text{ mH} \quad (4.12)$$

Nesse trabalho, considera-se uma capacitância parasita de 100 nF, visto que, como mencionado em 2.1, ela possui valores típicos entre 50 a 150 nF/kW.

A Tabela 4 apresenta os parâmetros utilizados nas simulações de todas as topologias de inversores no *software* PSIM. Importante ressaltar que utilizou-se chaves e diodos ideais nas simulações realizadas nesse *software*.

Tab. 4 – Parâmetros de circuito utilizados nas simulações.

Parâmetro	Valor
Potência Nominal ( $P_n$ )	1500 W
Tensão do barramento CC ( $V_{CC}$ )	400 V
Corrente injetada na rede ( $i_{g,pico}$ )	9,64 A
Tensão de rede ( $v_g$ )	220 $V_{rms}$
Frequência de chaveamento ( $f_{sw}$ )	18 kHz
Frequência da rede ( $f_o$ )	60 Hz
Capacitores do barramento CC ( $C_1, C_2$ )	2 mF
Capacitâncias parasitas ( $C_{FV_P}, C_{FV_N}$ )	100 nF
Indutores de filtro ( $L_1, L_2$ )	5 mH
Resistências dos indutores ( $r_{L_1}, r_{L_2}$ )	0,4 $\Omega$
Resistor da malha de aterramento ( $R_G$ )	10 $\Omega$

Fonte: produzido pelo autor.

## 4.2 Inversores Propostos na Literatura

A fim de facilitar a análise do número de dispositivos no caminho da corrente para todas as topologias, são nomeados quatro modos de operação, sendo eles:

- Modo 1: Modo de condução no semiciclo positivo da corrente  $i_g$  ( $V_{AB} = V_{CC}$ ).
- Modo 2: Modo de roda-livre no semiciclo positivo da corrente  $i_g$  ( $V_{AB} = 0$ ).
- Modo 3: Modo de condução no semiciclo negativo da corrente  $i_g$  ( $V_{AB} = -V_{CC}$ ).
- Modo 4: Modo de roda-livre no semiciclo negativo da corrente  $i_g$  ( $V_{AB} = 0$ ).

### 4.2.1 Inversores com Terra Comum

As topologias com terra comum apresentadas neste trabalho foram os inversores em meia ponte NPC, ANPC e Tipo-T. Como essas topologias apresentam princípios de operação semelhantes, os resultados das simulações mostraram-se similares, com valores de tensão e corrente de saída próximos, bem como corrente de fuga próximo a zero. Por este motivo, apenas as formas de onda das tensões e correntes da topologia NPC são exibidas na Figura 41. A Tabela 5 apresenta os valores de THD da corrente  $i_g$  ( $THD_i$ ), corrente de fuga  $i_{cm}$  rms e de pico das três topologias, além de uma avaliação do número de dispositivos no caminho da corrente.

Tab. 5 – Valores de simulação para inversores meia-ponte com terra comum.

	NPC	ANPC	Tipo-T
$THD_i$	2,24%	2,24%	2,25%
$i_{cm,rms}$	0,28 mA	0,24 mA	0,28 mA
$i_{cm,pico}$	0,49 mA	0,49 mA	0,49 mA
<b>Dispositivos em condução</b>			
Modo 1	2	2	1
Modo 2	2	2	2
Modo 3	2	2	1
Modo 4	2	2	2

Fonte: produzido pelo autor.

Os resultados das simulações mostram que a topologia NPC meia-ponte possui uma tensão diferencial de saída com três níveis e comportamento característico ao PWM unipolar, alternando entre 400, 0 e  $-400$  V. Importante notar que para obter esses valores de tensão de saída, foi necessário utilizar um barramento CC de 800 V. A corrente injetada na rede possui comportamento senoidal, frequência de 60 Hz e  $THD_i$  de 2,11%, além

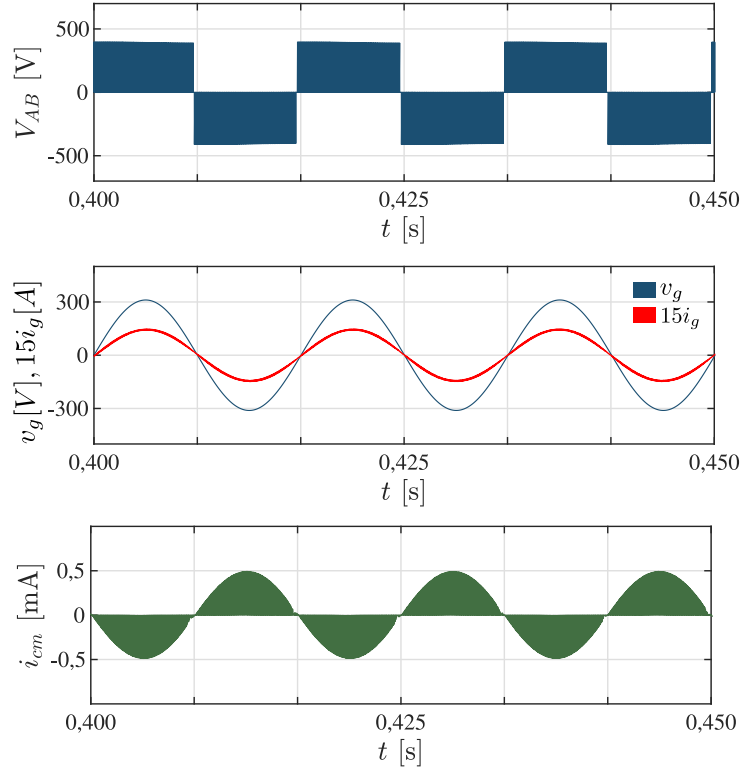


Fig. 41 – Resultados de simulação para o inversor NPC meia-ponte: tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

de fase sincronizada com a rede elétrica. É importante ressaltar que a corrente de fuga  $i_{cm}$  nessa topologia possui valor desprezível, atingindo um pico de apenas 0,49 mA e um valor rms de 0,28 mA, equivalente a 0,09% do máximo permitido pelas normas. Esse comportamento é esperado, conforme discutido na seção 2.4.1, uma vez que as topologias em meia-ponte com terra comum possuem corrente de fuga próxima a zero devido às tensões sobre as capacitâncias parasitas serem aproximadamente constantes. A variação senoidal da corrente de fuga ocorre por conta das flutuações nas tensões dos capacitores do barramento CC, resultantes das cargas e descargas entre os estados de chaveamento.

Os valores apresentados na Tabela 5 indicam que todas as topologias meia-ponte com terra comum possuem  $THD_i$  abaixo de 2,3%, dentro das especificações determinadas. Além disso, verificou-se que a corrente de fuga é praticamente nula em todas as topologias. Quanto ao número de dispositivos no caminho da corrente, observa-se que a topologia Tipo-T tende a ser mais eficiente, uma vez que a corrente flui apenas em um dispositivo durante os modos de condução. Já nas topologias NPC e ANPC, a corrente  $i_g$  flui através de dois dispositivos em todos os estados de operação.

### 4.2.2 Inversores com Desacoplamento CC

Na Figura 42, são apresentadas as formas de onda da simulação realizada com o inversor H5. Já a Tabela 6 resume os valores obtidos de  $THD_i$ , corrente de fuga, além do número de dispositivos no caminho da corrente em cada modo de operação do inversor.

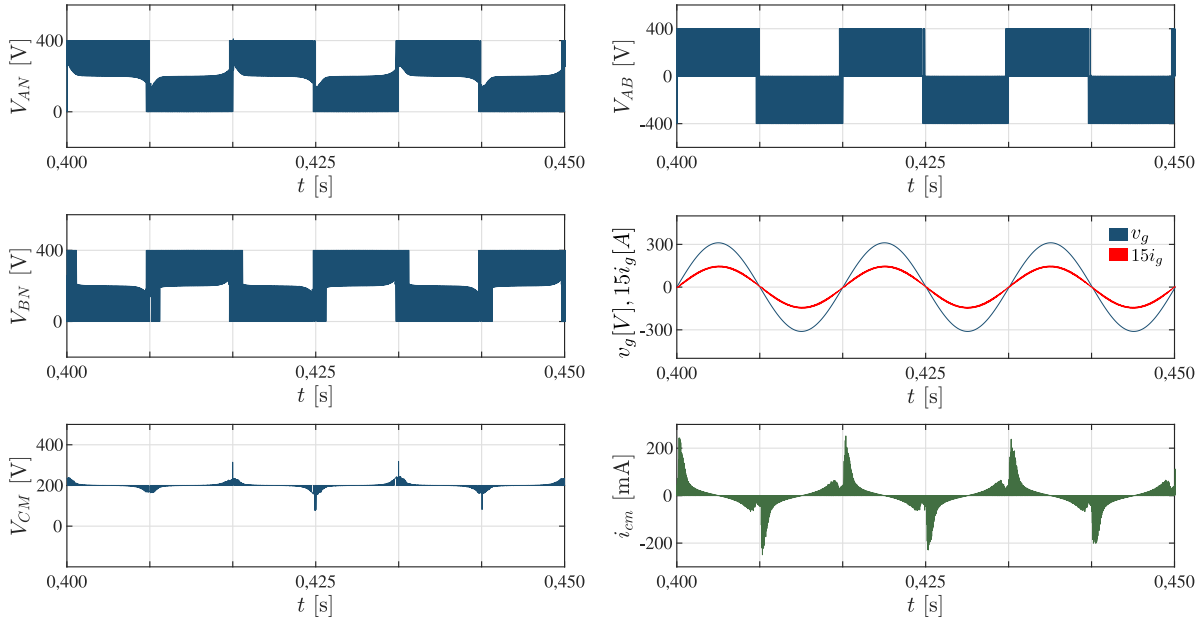


Fig. 42 – Resultados de simulação para o inversor H5: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

Tab. 6 – Valores de simulação para o inversor H5.

H5	
$THD_i$	1,89%
$i_{cm,pico}$	228,96 mA
$i_{cm,rms}$	20,16 mA
<b>Dispositivos em condução</b>	
Modo 1	3
Modo 2	2
Modo 3	3
Modo 4	2

Fonte: produzido pelo autor.

Ao analisar a Figura 42, é importante destacar o comportamento da tensão de modo comum  $V_{CM}$ . Como não há grampeamento ao ponto central do barramento CC durante os períodos de roda-livre para garantir que as tensões  $V_{AN}$  e  $V_{BN}$  se mantenham constantes em  $\frac{V_{CC}}{2}$ , as tensões de polo variam de acordo com o circuito ressonante presente



na saída do inversor. Durante esses períodos no crescimento da corrente  $i_g$ , as tensões de polo permanecem maiores que  $\frac{V_{CC}}{2}$  por um certo tempo antes de convergirem para 200 V. Já durante o decaimento da corrente injetada na rede, as tensões de polo ficam menores que 200 V até convergirem para esse valor após um período transitório. Devido a essa variação nas tensões de polo e, conseqüentemente, na tensão de modo comum, a corrente de fuga não é completamente reduzida, apresentando um pico de 228,96 mA.

### 4.2.3 Inversores com Desacoplamento CA

Assim como discutido na seção anterior sobre as topologias com desacoplamento CC, as topologias com desacoplamento CA dos estados-zero também apresentam uma limitação: não é garantido que a tensão de modo comum permaneça constante durante os períodos de roda-livre. As topologias HERIC e H6 com diodos, apresentadas na seção 2.4.2.2, possuem um comportamento bastante semelhante. Por essa razão, somente os gráficos da topologia HERIC serão ilustrados na Figura 43 a fim de representar esse grupo. A Tabela 7 apresenta os valores de simulação para ambas as topologias.

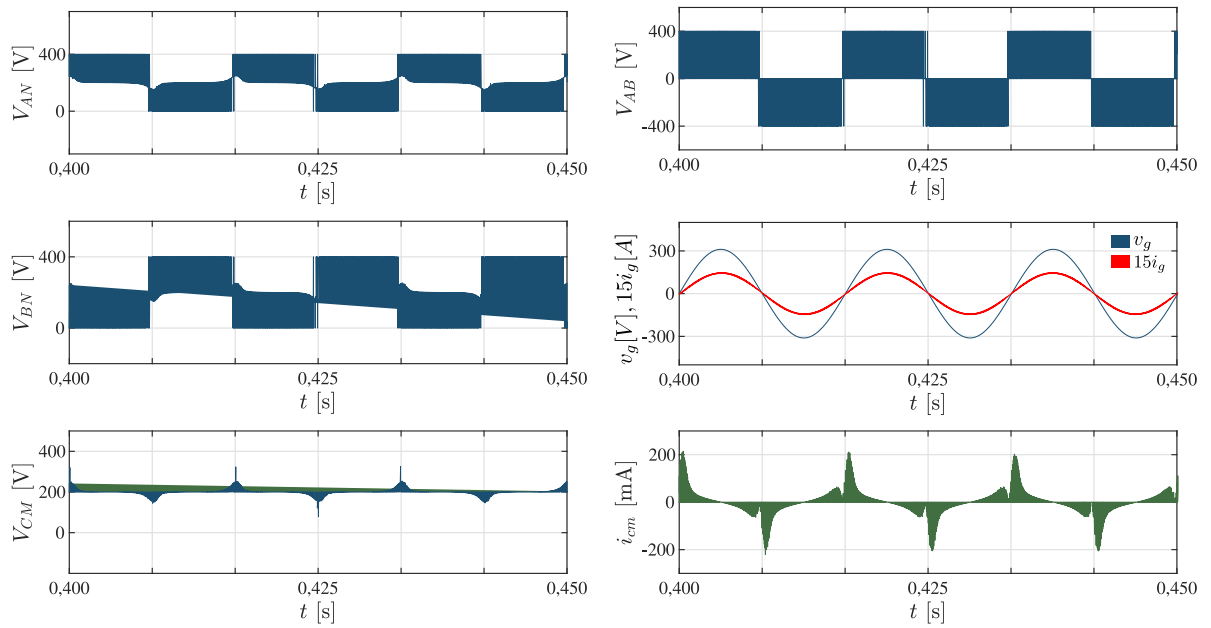


Fig. 43 – Resultados de simulação para o inversor HERIC: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

Por não garantir que a tensão de modo comum se mantenha constante, as topologias com desacoplamento CA também apresentam um pico considerável na corrente de fuga. Esse comportamento é bem semelhante ao ocorrido no inversor H5, que realiza o desacoplamento CC. A topologia HERIC apresenta um pico de 214,88 mA com valor rms de 20,08 mA, enquanto a topologia H6 com diodos apresenta 243,17 mA de pico e 19,85 mA rms.

Tab. 7 – Valores de simulação para os inversores com desacoplamento CA de estado-zero.

	HERIC	H6 com diodos
$THD_i$	1,90%	1,91%
$i_{cm,pico}$	214,88 mA	243,17 mA
$i_{cm,rms}$	20,08 mA	19,85 mA
<b>Dispositivos em condução</b>		
Modo 1	2	3
Modo 2	2	2
Modo 3	2	3
Modo 4	2	2

Fonte: produzido pelo autor.

Ao comparar as topologias HERIC e H6 com diodos, observa-se que ambas apresentam comportamento muito semelhante em relação à redução da corrente de fuga e distorção da corrente de saída. No entanto, a topologia HERIC se destaca por possuir apenas dois dispositivos no caminho da corrente nos modos de condução do inversor, o que faz com que essa topologia apresente melhores valores de eficiência.

#### 4.2.4 Inversores com Grampeamento ao Ponto Central do Barramento CC

Nesta seção, são apresentados e analisados os resultados das topologias com grampeamento ao ponto central do barramento CC discutidas neste trabalho: oH5, H6, PN-NPC, HB-ZVR, HB-VRD-D e HB-ZVSCR. Cada topologia possui particularidades em relação ao modo como o grampeamento é realizado, resultando em diferentes comportamentos da tensão de modo comum e diferentes desempenhos na redução da corrente de fuga. Portanto, é importante examinar individualmente os resultados de cada topologia para avaliar suas vantagens e limitações.

##### 4.2.4.1 Inversor oH5

O inversor oH5 é uma variante do inversor H5, que possui uma chave extra  $S_6$  para realizar o grampeamento ao ponto central do barramento CC nos períodos em que a rede elétrica está desacoplada do arranjo de painéis fotovoltaicos. Com isso, é possível garantir que a tensão de modo comum  $V_{CM}$  seja mantida constante em  $\frac{V_{CC}}{2}$ , o que é verificado na Figura 44, que apresenta as formas de onda simuladas dessa topologia. A manutenção de  $V_{CM}$  constante em 200 V reduz a corrente de fuga  $i_{cm}$ , que apresenta um valor de pico de 11,73 mA e 8,29 mA rms. No entanto, é importante destacar que essa topologia tem um ponto negativo, que é a presença de três dispositivos no caminho da corrente durante os modos de condução, o que reduz a eficiência do inversor. O valor de THD da corrente  $i_g$  obtido em simulação foi de 1,94%. Importante notar a oscilação na corrente de fuga em

$t=0,092$  s. Ela decorre de erros de cálculo nas simulações do PSIM durante as transições de estado, o que ocasiona uma rápida variação na tensão de modo comum que pode ser visualizada no gráfico.

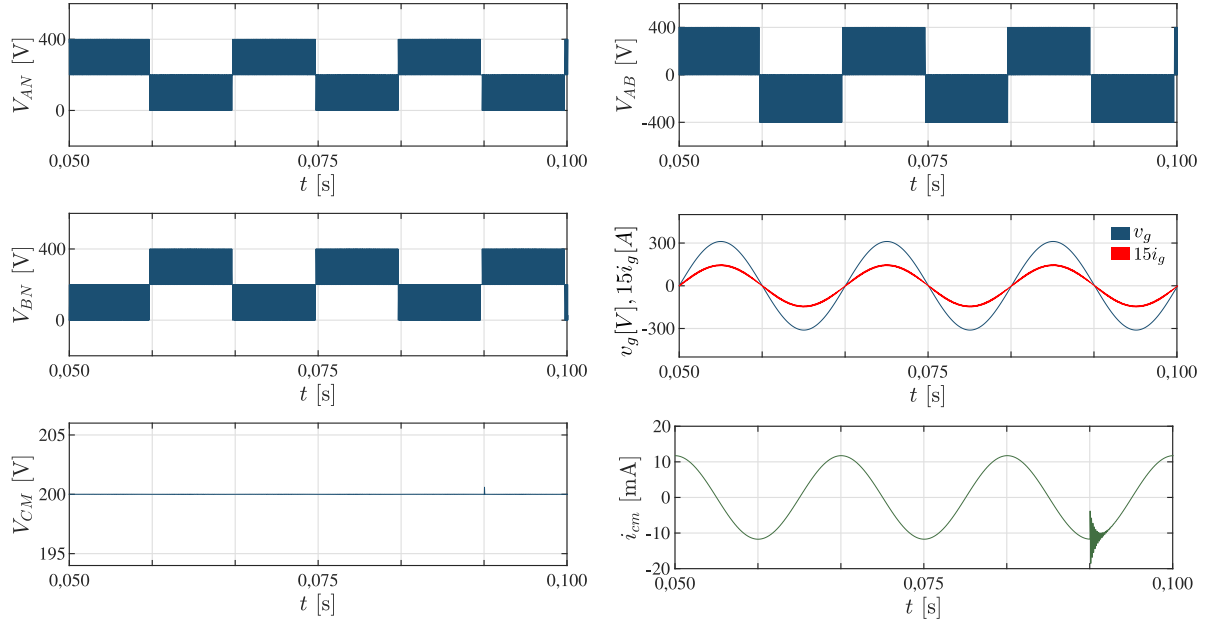


Fig. 44 – Resultados de simulação para o inversor oH5: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

#### 4.2.4.2 Inversor H6

Na topologia H6, o desacoplamento CC é efetuado através de duas chaves que são conectadas a cada terminal da fonte CC. Além disso, dois diodos são empregados para realizar o grampeamento ao ponto central do barramento CC. Entretanto, apenas um dos diodos promove o grampeamento em cada semiciclo da corrente  $i_g$ : o diodo  $D_1$  garante que a tensão de modo comum não fique menor que  $\frac{V_{CC}}{2}$  durante o semiciclo positivo, já o diodo  $D_2$  garante que a tensão de modo comum não ultrapasse esse valor durante o semiciclo negativo. Com isso, não é garantido que  $V_{CM}$  se mantenha constante caso fique maior que  $\frac{V_{CC}}{2}$  no semiciclo positivo ou menor que esse valor no semiciclo negativo. Essa situação pode ser verificada na Figura 45, onde a tensão de modo comum apresenta oscilações acima de 200 V durante o semiciclo positivo e varia entre valores menores que 200 V no semiciclo negativo. Como consequência, a redução da corrente de fuga não é completamente alcançada, sendo observados picos de corrente de 132,38 mA durante os períodos de oscilação de  $V_{CM}$  e um valor rms de 15,04 mA. O  $THD_i$  obtido na simulação do inversor H6 foi de 2,13%.

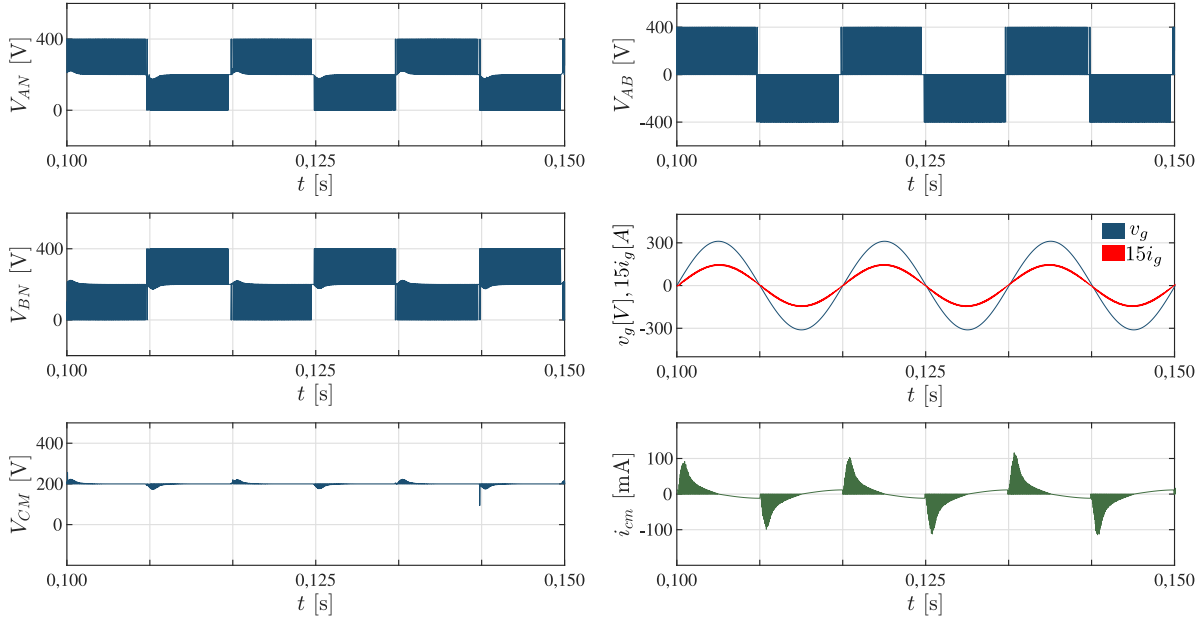


Fig. 45 – Resultados de simulação para o inversor H6: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

#### 4.2.4.3 Inversor PN-NPC

O inversor PN-NPC emprega duas células NPC (uma tipo P e outra tipo N) para realizar o desacoplamento CA dos estados-zero e o grampeamento ao ponto central do barramento CC. Na Figura 46, que apresenta os resultados de simulação dessa topologia, é possível verificar que a tensão de modo comum é mantida constante em 200 V, o que reduz a corrente de fuga, que apresenta uma forma de onda senoidal com 11,73 mA de pico e 8,16 mA rms. A  $THD_i$  da corrente injetada é de 1,94%. No entanto, a topologia PN-PNC apresenta algumas desvantagens, como o elevado número de chaves necessárias para confecção do inversor e a quantidade de dispositivos no caminho da corrente, que pode chegar a quatro durante os modos de condução. Assim, apesar de conseguir reduzir consideravelmente a corrente de fuga comparado aos inversores mencionados anteriormente, a topologia PN-NPC apresenta perdas por condução elevadas.

#### 4.2.4.4 Inversor HB-ZVR

O inversor HB-ZVR apresenta uma estrutura com uma ponte retificadora de diodos e uma chave para realizar o desacoplamento CA da rede, além de um diodo para o grampeamento ao ponto central do barramento CC. Por ter apenas um diodo, que garante que a tensão de modo comum não ultrapasse o valor de  $\frac{V_{CC}}{2}$ , esta topologia permite que  $V_{CM}$  oscile em valores menores que  $\frac{V_{CC}}{2}$ . Este comportamento pode ser observado na Figura 47, onde a tensão de modo comum varia entre valores menores que 200 V próximo

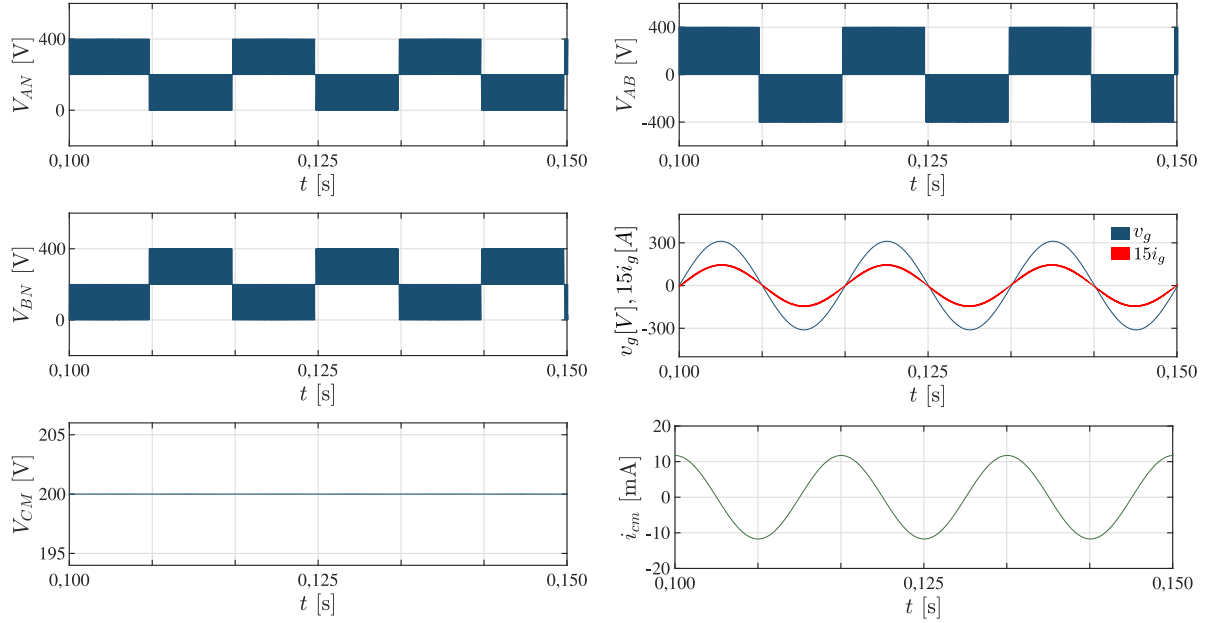


Fig. 46 – Resultados de simulação para o inversor PN-NPC: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

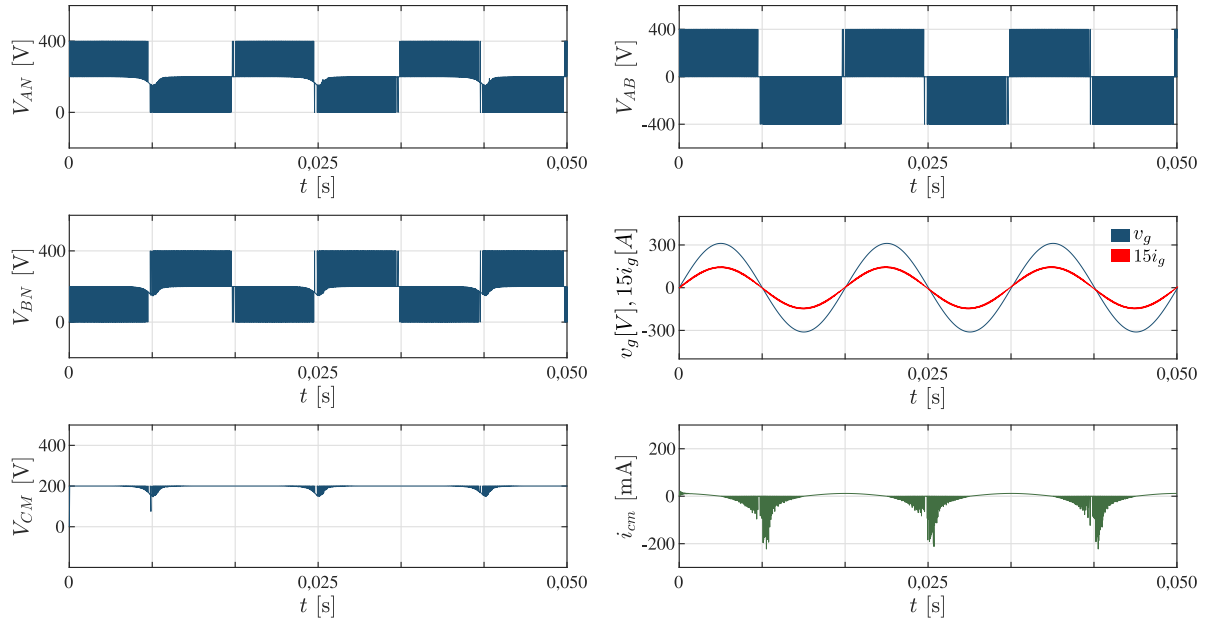


Fig. 47 – Resultados de simulação para o inversor HB-ZVR: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

à passagem da corrente  $i_g$  por zero, até estabilizar no valor constante. Devido a essa oscilação em  $V_{CM}$ , a corrente de fuga apresenta valores de até  $-268,70$  mA e  $16,90$  mA rms. Esse inversor introduz uma distorção pouco maior na corrente  $i_g$  do que as topologias anteriores, apresentando uma  $THD_i$  de  $2,40\%$ .

#### 4.2.4.5 Inversor HB-ZVR-D

A topologia HB-ZVR-D adiciona um diodo de grampeamento extra ao inversor HB-ZVR. Dessa forma, é garantido que a tensão de modo comum permaneça em  $\frac{V_{CC}}{2}$  durante todo o período de funcionamento do inversor. A Figura 48 apresenta os resultados de simulação, onde observa-se que a tensão de modo comum se mantém constante em 200 V ao longo de todo o tempo de operação. Como resultado, a corrente de fuga é reduzida a um valor rms de 8,16 mA e 11,73 mA de pico, mantendo uma forma de onda senoidal devido à influência da tensão da rede  $v_g$ , fato discutido na seção 3.1. A  $THD_i$  da corrente injetada na rede elétrica para este inversor foi de 1,95%.

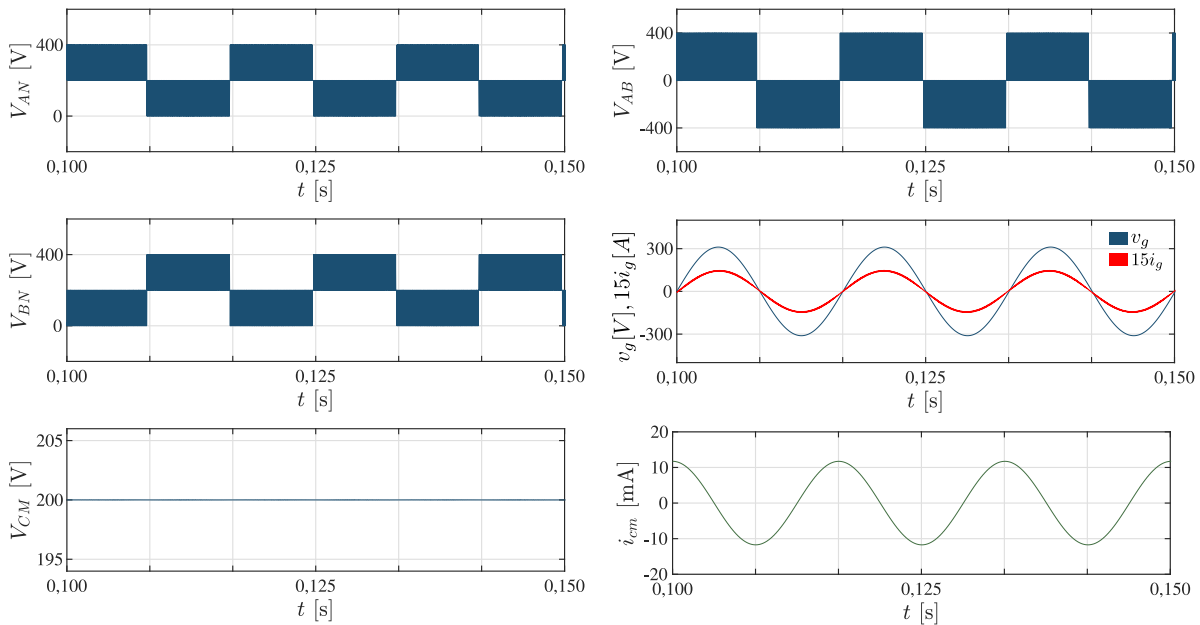


Fig. 48 – Resultados de simulação para o inversor HB-ZVR-D: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

#### 4.2.4.6 Inversor HB-ZVSCR

A Figura 49 apresenta os resultados de simulação para o inversor HB-ZVSCR. Essa topologia é uma derivação do inversor HB-ZVR-D, que retira dois diodos e adiciona uma chave extra no ramo de grampeamento com o objetivo de reduzir as tensões de bloqueio sobre as chaves e, dessa forma, reduzir as perdas por chaveamento. Como o princípio de funcionamento é o mesmo, os valores de corrente fuga de ambas topologias são bem semelhantes, apresentando 11,73 mA de pico e 8,29 mA rms. A  $THD_i$  apresentou um valor de 2,07%, bem semelhante ao encontrado na topologia HB-ZVR-D.

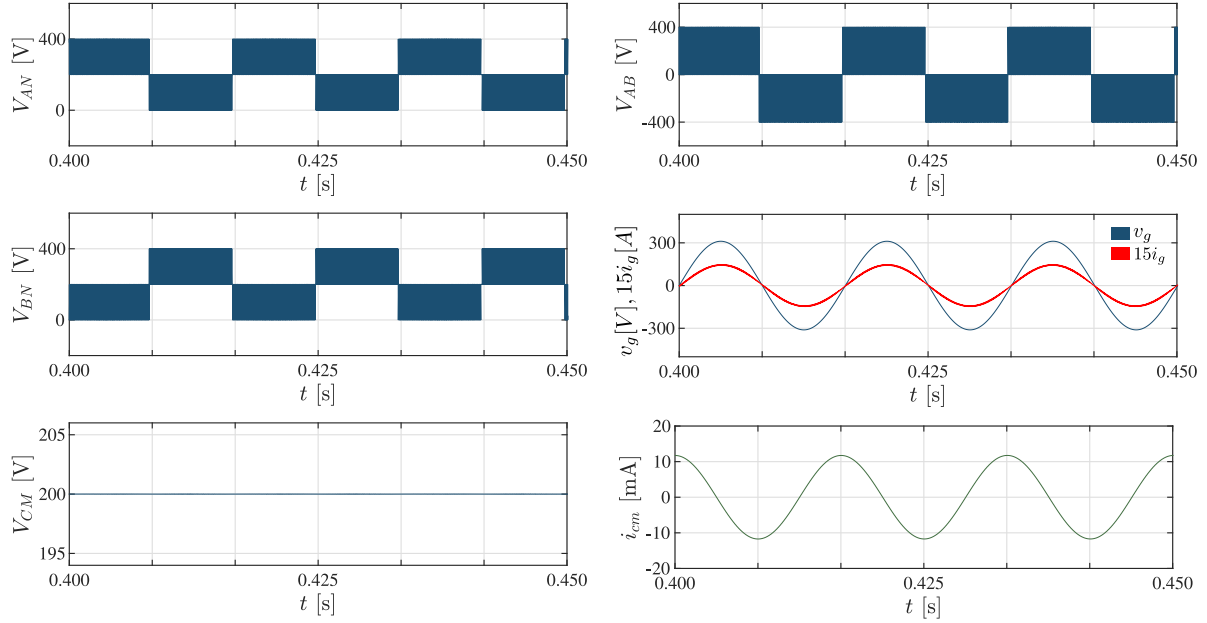


Fig. 49 – Resultados de simulação para o inversor HB-ZVSCR: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

### 4.3 Resultados do Inversor Proposto

Esta seção discute os resultados de simulação obtidos com a implementação do inversor fotovoltaico proposto neste trabalho. Como discutido na seção 3.2, a topologia foi desenvolvida com base na HERIC, visando reduzir a corrente de fuga de forma similar às topologias HBZVR-D e HB-ZVSCR, mas com uma redução nas perdas. A redução no número de dispositivos no caminho da corrente possibilita atingir uma eficiência semelhante a do inversor HERIC porém com melhor desempenho na mitigação da corrente de fuga. Os resultados obtidos para redução da corrente de fuga e as perdas em cada chave do inversor são analisados e comparado às topologias presentes na literatura.

A Figura 50 apresenta os resultados de simulação para o inversor fotovoltaico proposto. Nas formas de onda das tensões de polo  $V_{AN}$  e  $V_{BN}$ , é possível observar que o ramo de grampeamento discutido na seção 3.2.2 garante com êxito que as tensões de polo permaneçam em 200 V (metade da tensão do barramento CC) durante os períodos de estado-zero. Consequentemente, a tensão de modo comum é mantida constante durante todo o período de operação do inversor. A manutenção de  $V_{CM}$  constante resulta em uma redução da corrente de fuga, que apresenta um valor rms de 8,29 mA e pico de 11,73 mA, com um comportamento senoidal causado pela influência da oscilação da tensão da rede, como discutido na seção 3.1.

Além disso, a análise das formas de onda da Figura 50 mostra que o controle assegura que a corrente  $i_g$  apresente 9,86 A de pico e 6,89 A rms, valores adequados para

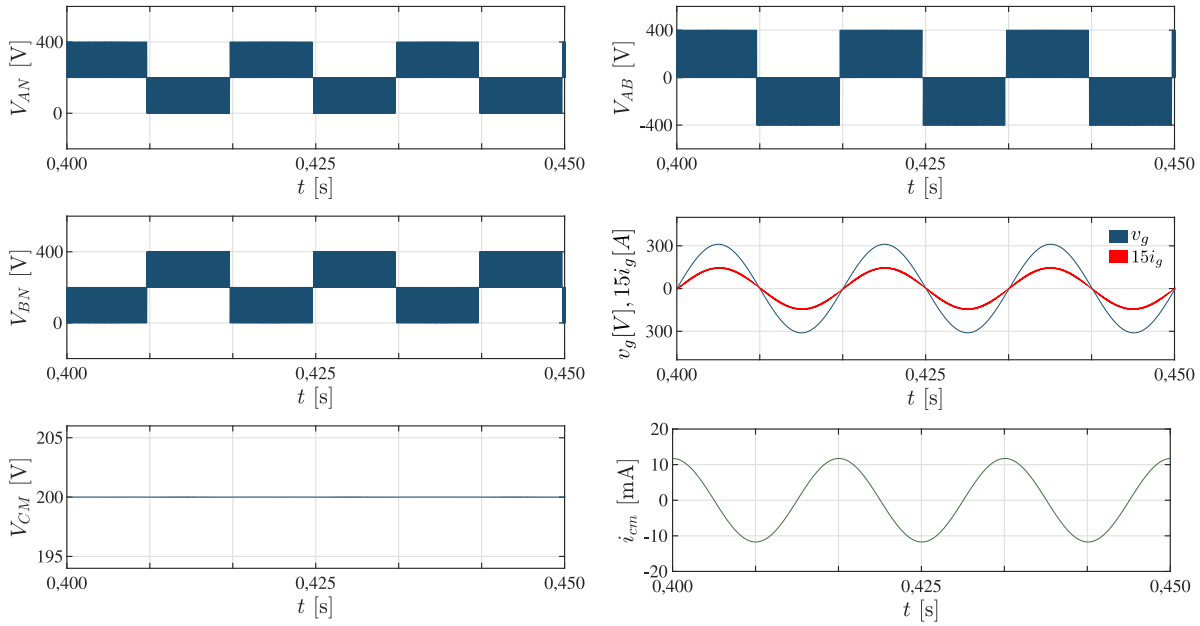


Fig. 50 – Resultados de simulação para o inversor proposto: tensões de polo  $V_{AN}$  e  $V_{BN}$ , tensão de modo comum  $V_{CM}$ , tensão diferencial de saída  $V_{AB}$ , corrente injetada  $i_g$ , tensão de rede  $v_g$  e corrente de fuga  $i_{cm}$ .

Fonte: produzido pelo autor.

a potência de 1,5 kW a ser injetada na rede elétrica, com uma baixa  $THD_i$  de 1,88%.

As Tabelas 8 e 9 resumem os valores encontrados para os inversores com grampeamento ao ponto central do barramento CC em comparação com a topologia proposta neste trabalho.

Tab. 8 – Valores de simulação para os inversores oH5, H6 e PN-NPC.

	oH5	H6	PN-NPC
$THD_i$	1,94%	2,13%	1,94%
$i_{cm,pico}$	11,73 mA	132,38 mA	11,73 mA
$i_{cm,rms}$	8,29 mA	15,04 mA	8,16 mA
<b>Dispositivos em condução</b>			
Modo 1	3	4	4
Modo 2	2	2	4
Modo 3	3	4	4
Modo 4	2	2	2

Fonte: produzido pelo autor.

A Figura 51 apresenta o desempenho do controle diante de uma redução de 50% na irradiância e, conseqüentemente, na potência gerada pelos painéis. Nota-se que em  $t = 0,3$  s, momento em que ocorre a redução, o controle da corrente se ajusta a referência de maneira muito rápida. Isso é esperado, uma vez que o controlador da malha de corrente foi projetado para que apresente uma frequência de cruzamento de ganho apenas dez vezes



Tab. 9 – Valores de simulação para os inversores HB-ZVR, HB-ZVR-D, HB-ZVSCR e o inversor proposto.

	HB-ZVR	HB-ZVR-D	HB-ZVSCR	Proposto
$THD_i$	2,40%	1,95%	2,07%	1,88%
$i_{cm,pico}$	-268,70 mA	11,73mA	11,73mA	11,73mA
$i_{cm,rms}$	16,90 mA	8,29 mA	8,29 mA	8,29 mA
<b>Dispositivos em condução</b>				
Modo 1	2	2	2	2
Modo 2	3	3	4	2
Modo 3	2	2	2	2
Modo 4	3	3	4	3

Fonte: produzido pelo autor.

menor que a frequência de chaveamento. Isso contribui para uma resposta mais rápida da malha a variações na referência.

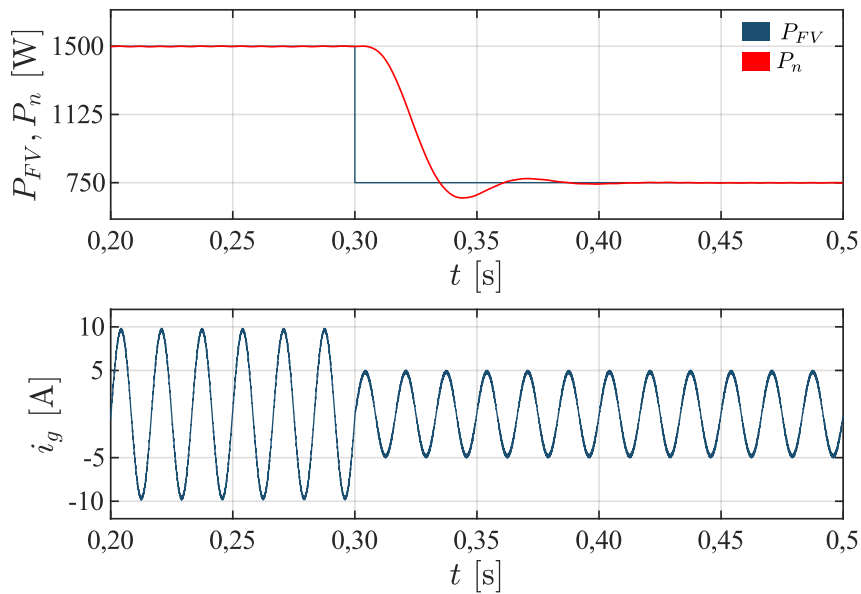


Fig. 51 – Resposta do sistema a uma variação na potência gerada pelo painel fotovoltaico de 1500 W para 750 W.

As correntes em cada chave do inversor são apresentadas na Figura 52. Com a análise dessas formas de onda, é possível verificar os modos de operação explicados na seções 3.2.1 e 3.2.2. Durante os modos ativos no semiciclo positivo, as chaves  $S_1$  e  $S_4$  conduzem a corrente injetada na rede elétrica, enquanto as chaves  $S_2$  e  $S_3$  fazem o mesmo durante o semiciclo negativo. Quanto às chaves do ramo de grampeamento, a análise das formas de onda mostra que somente a chave  $S_5$  conduz durante o período de roda-livre no semiciclo positivo, conforme explicado na seção 3.2.1. Nesse período, a chave  $S_6$  tem a função de assegurar que a tensão de modo comum não seja inferior a  $\frac{V_{CC}}{2}$ , assim como discutido na seção 3.2.2. Já no estado-zero do semiciclo negativo da corrente, a corrente  $i_g$  flui apenas pela chave  $S_6$ , além de  $D_3$  e do diodo em antiparalelo de  $S_5$ . A passagem da

corrente por esse diodo pode ser identificada na Figura 52 através da corrente negativa apresentada na chave  $S_5$ . O fato da corrente fluir apenas por uma das chaves do ramo de grampeamento em cada semiciclo da corrente é de fundamental importância para reduzir as perdas por condução em comparação à topologia HB-ZVSCR, por exemplo, que possui sempre duas chaves e dois diodos conduzindo durante os períodos de roda-livre.

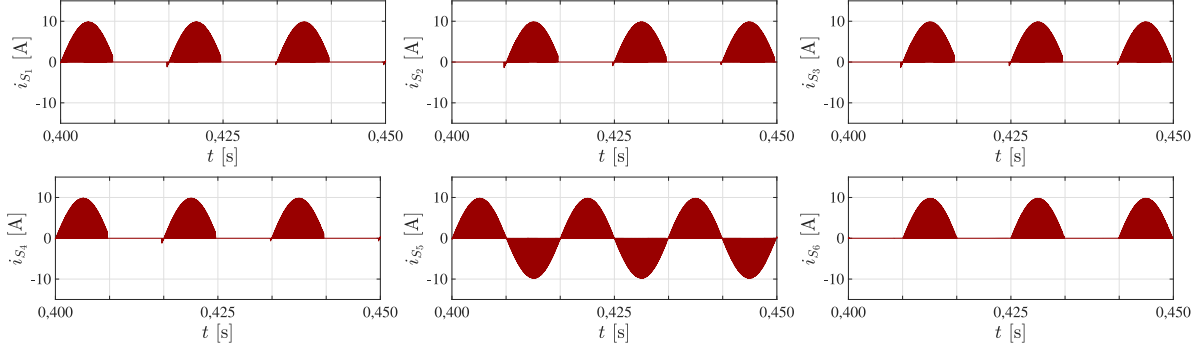


Fig. 52 – Corrente das chaves do inversor fotovoltaico proposto.

Fonte: produzido pelo autor.

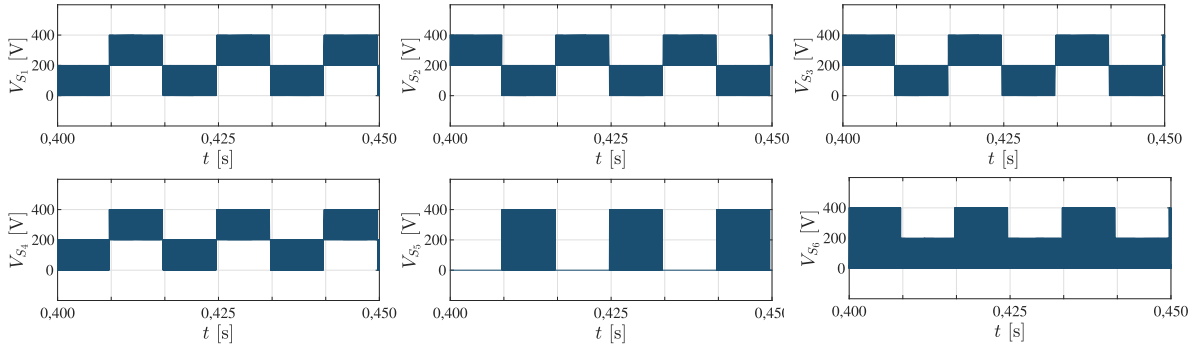


Fig. 53 – Tensão sobre as chaves do inversor fotovoltaico proposto.

Fonte: produzido pelo autor.

As tensões nas chaves da topologia proposta são exibidas na Figura 53. Observa-se que as chaves  $S_1$  e  $S_4$  possuem uma tensão de bloqueio de 200 V, que corresponde à metade da tensão do barramento CC, durante o semiciclo positivo da corrente. O mesmo ocorre durante o semiciclo negativo com as chaves  $S_2$  e  $S_3$ . Apesar de todas as chaves possuírem uma tensão máxima de 400 V sobre elas, as perdas por chaveamento são influenciadas pela variação das tensões sobre as chaves no momento em que elas comutam, que é de metade da tensão do barramento CC nas chaves  $S_1$  a  $S_4$ .

É fundamental analisar as tensões nas chaves do ramo de grampeamento  $S_5$  e  $S_6$ . Conforme discutido na seção 3.2.1, a chave  $S_5$  conduz apenas durante o período de roda-livre do semiciclo positivo da corrente. A Figura 53 mostra que durante o modo de condução desse semiciclo, a tensão sobre essa chave é praticamente nula. Isso se deve ao fato de que a tensão do barramento CC está inteiramente sobre a chave  $S_6$ , o que reduz

consideravelmente as perdas por chaveamento na chave  $S_5$ . Já durante o semiciclo negativo, que é o momento onde a chave  $S_6$  comuta, a tensão de bloqueio sobre ela é de 200 V, assim como ocorre nas chaves  $S_1$  a  $S_4$ .

A Tabela 10 resume as informações obtidas com as simulações e análises das topologias de inversor sem transformador estudadas. Além dos valores de  $THD_i$ , corrente de fuga e dispositivos em condução de cada de operação (indicados como M1, M2, M3 e M4) já apresentados anteriormente, a tabela exhibe os valores do número de chaves e diodos, tensão do barramento CC e tensão máxima sobre as chaves. Com relação aos diodos, a tabela apresenta máxima da tensão reversa (em módulo) sobre os dispositivos para cada inversor estudado.

Tab. 10 – Resumo das topologias de inversor sem transformador estudadas.

Inversor	$V_{CC}$	$THD_i$	$i_{cm,pico}$	$i_{cm,rms}$	Chaves	Diodos	Dispositivos em condução				Tensão máxima (nº de chaves)	
							M1	M2	M3	M4	$V_{CC}$	$V_{CC}/2$
<b>NPC</b>	800 V	2,24%	0,49 mA	0,28 mA	4	2	2	2	2	2	0	4 chaves 2 diodos
<b>ANPC</b>	800 V	2,24%	0,49 mA	0,24 mA	6	0	2	2	2	2	0	6 chaves
<b>Tipo-T</b>	800 V	2,25%	0,49 mA	0,28 mA	4	0	1	2	1	2	2 chaves	2 chaves
<b>H5</b>	400 V	1,89%	228,96 mA	20,16 mA	5	0	3	2	3	2	4 chaves	1 chave
<b>HERIC</b>	400 V	1,90%	214,88 mA	20,08 mA	6	0	2	2	2	2	6 chaves	0
<b>H6 com diodos</b>	400 V	1,91%	243,17 mA	19,85 mA	6	2	3	2	3	2	4 chaves 2 diodos	2 chaves
<b>oH5</b>	400 V	1,94%	11,73 mA	8,29 mA	4	2	3	2	3	2	4 chaves	2 chaves
<b>H6</b>	400 V	2,13%	132,38 mA	15,04 mA	6	2	4	2	4	2	4 chaves 2 diodos	2 chaves
<b>PN-NPC</b>	400 V	1,94%	11,73 mA	8,16 mA	8	0	4	4	4	2	2 chaves	6 chaves
<b>HB-ZVR</b>	400 V	2,40%	-268,70 mA	16,90 mA	5	5	2	3	2	3	5 chaves 4 diodos	1 diodo
<b>HB-ZVR-D</b>	400 V	1,95%	11,73 mA	8,29 mA	5	6	2	3	2	3	5 chaves 4 diodos	2 diodos
<b>HB-ZVSCR</b>	400 V	2,07%	11,73 mA	8,29 mA	6	4	2	4	2	4	4 chaves 4 diodos	2 chaves
<b>Proposto</b>	400 V	1,88%	11,73 mA	8,29 mA	6	4	2	2	2	3	6 chaves 1 diodo	3 diodos

Fonte: produzido pelo autor.

Ao analisar a Tabela 10, verifica-se que o inversor proposto oferece um bom desempenho na redução da corrente fuga, assim como as demais topologias que conseguem manter a tensão de modo constante durante todo período de funcionamento do inversor. Entretanto, a topologia proposta apresenta um número reduzido de dispositivos em condução em comparação a esses inversores, com valores semelhantes a topologias como

a HERIC, reconhecida por sua alta eficiência. O ponto negativo está na tensão máxima sobre as chaves, que é de  $V_{CC}$  nas seis chaves que compõem o conversor. No entanto, é importante destacar que esse fato não interfere diretamente nas perdas por chaveamento do inversor, visto que cinco chaves comutam com uma tensão de  $\frac{V_{CC}}{2}$  sobre elas e uma chave comuta com tensão aproximadamente zero ( $S_5$ ). Após a análise geral das tensões e correntes de cada inversor estudado, é fundamental realizar a análise das perdas do inversor proposto. Esse procedimento é essencial para avaliar o desempenho do inversor e compará-lo com as topologias já existentes na literatura.

## 4.4 Análise das Perdas

A fim de realizar o cálculo das perdas para o inversor proposto, foram realizadas simulações no ambiente Simulink do MATLAB. Os parâmetros de simulação são os mesmos apresentados na Tabela 4. A partir das curvas de tensão e corrente de cada chave, um algoritmo foi executado para calcular as perdas a partir dos dados técnicos do IGBT IRGP4063D e do diodo MUR1660. Os componentes utilizados na simulação foram selecionados de acordo com os valores de tensão do barramento CC e corrente injetada na rede, conforme apresentado na Tabela 4.

As perdas em qualquer componente semicondutor podem ser divididas em três grupos:

1. Perdas por condução ( $P_{cond}$ );
2. Perdas por chaveamento ( $P_{chav}$ );
3. Perdas por fuga de corrente (geralmente negligenciadas);

Dessa formas, as perdas totais  $P_{tot}$  em um dispositivo são calculadas por:

$$P_{tot} = P_{cond} + P_{chav} \quad (4.13)$$

### 4.4.1 Perdas nos IGBTs

Nos IGBTs, as perdas são divididas em duas parcelas segundo o sentido da corrente que o percorre. A primeira é correspondente à condução e comutação do transistor, modo onde a corrente flui do coletor em direção ao emissor. A segunda parcela corresponde às perdas no diodo em antiparalelo ao IGBT, que ocorre quando a corrente flui na direção contrária. A seguir são detalhados os cálculos para cada uma dessas parcelas.

#### 4.4.1.1 Perdas por condução

Para calcular as perdas por condução do IGBT, é possível modelar o dispositivo como uma fonte de tensão CC com o valor da tensão de saturação entre coletor e emissor  $V_{CEsat}$  em série com uma resistência  $r_c$  entre esses terminais (GRAOVAC; PURSCHEL, 2009a). Dessa forma, a tensão entre coletor e emissor pode ser representada por:

$$V_{CE}(i_c) = V_{CEsat} + r_c i_c, \quad (4.14)$$

onde  $i_c$  é a corrente que flui do coletor para o emissor do IGBT. O diodo em antiparalelo pode ser representado da mesma forma:

$$V_D(i_d) = V_f + r_d i_d, \quad (4.15)$$

onde  $i_d$  é a corrente que flui pelo diodo,  $V_f$  é a tensão entre anodo e catodo do diodo quando ele está em condução e  $r_d$  a resistência do dispositivo.

Os valores de  $r_c$  e  $r_d$  são obtidos pelas curvas de características em estado de condução fornecidas pelo fabricante no *datasheet* do IGBT. Da curva da corrente  $i_c$  em função de  $V_{CE}$ , obtém-se  $r_c$  através de:

$$r_c = \frac{\Delta V_{CE}}{\Delta i_c} \quad (4.16)$$

Para obter a resistência do diodo em antiparalelo, observa-se a curva da corrente  $i_d$  em relação à tensão  $V_f$  sobre o diodo em condução. Com isso,  $r_d$  é obtido por:

$$r_d = \frac{\Delta V_f}{\Delta i_d} \quad (4.17)$$

Com isso, as perdas por condução no IGBT podem ser calculadas por:

$$P_{c,IGBT} = V_{CE,rms} i_{c,rms} \quad (4.18)$$

Substituindo (4.14) em (4.19) e considerando as variáveis rms, se obtém as perdas por condução no IGBT:

$$P_{c,IGBT} = V_{CEsat} i_{c,rms} + r_c i_{c,rms}^2 \quad (4.19)$$

De forma análoga, as perdas por condução no diodo em antiparalelo são determinadas por:

$$P_{c,diodo} = V_f i_{d,rms} + r_d i_{d,rms}^2 \quad (4.20)$$

#### 4.4.1.2 Perdas por chaveamento

Nos dados técnicos do IGBT, são fornecidas as curvas das energias consumidas pelo dispositivo durante o acionamento e desligamento das chaves em função da corrente  $i_c$ , denominadas de  $E_{on}$  e  $E_{off}$ . Para calcular as perdas por chaveamento no IGBT, que no modelo utilizado inclui as perdas no diodo em antiparalelo, as curvas de energia são linearizadas em torno ponto de operação da corrente  $i_g$ , indicada na Tabela 4. Como essas curvas são fornecidas para uma determinada tensão de bloqueio entre coletor e emissor e para uma resistência de *gate*  $R_{gate}$  específica, é necessário aplicar dois fatores de correção para obter a energia corrigida. Um dos fatores pode ser determinado através da curva de  $E_{on}$  e  $E_{off}$  em função de  $R_{gate}$ . O fator de correção é calculado pela relação entre as energias na resistência de *gate* utilizada ( $R_{gate,on}$ ) e a resistência especificada no *datasheet* ( $R_{gate,on}^{ds}$ ):

$$k_{(R_{gate,on})} = \frac{E_{on(R_{gate,on})}}{E_{on(R_{gate,on}^{ds})}} \quad (4.21)$$

O segundo fator de correção corresponde à tensão de bloqueio  $V_{CE}$ . Como as perdas de comutação tem comportamento aproximadamente linear com a tensão coletor-emissor  $V_{CE}$  (PRADO et al., 2020), esse fator pode ser calculado por:

$$k_{(V_{CE})} = \frac{V_{CE}}{V_{CE}^{ds}}, \quad (4.22)$$

Onde  $V_{CE}$  é a tensão de bloqueio da chave e  $V_{CE}^{ds}$  é a tensão especificada nas curvas de  $E_{on}$  e  $E_{off}$  no *datasheet* do componente.

Dessa forma, os fatores de correção  $k_{(R_{gate,on})}$  e  $k_{(V_{CE})}$  são multiplicados ao valor de  $E_{on}^{ds}$  fornecido no *datasheet* a fim de calcular o valor de energia corrigido  $E_{on}$ :

$$E_{on} = k_{(V_{CE})} \times k_{(R_{gate,on})} \times E_{on}^{ds} \quad (4.23)$$

Os fatores  $k_{(R_{gate,on})}$  e  $k_{(V_{CE})}$  também são utilizados da mesma forma para correção da energia  $E_{off}$ .

Assim, as perdas por comutação em um período de chaveamento são obtidas pelo produto das energias de comutação pela frequência de chaveamento:

$$P_{chav,on} = E_{on} \times f_{sw} \quad (4.24)$$

$$P_{chav,off} = E_{off} \times f_{sw} \quad (4.25)$$

Por fim, as perdas totais de comutação em um período de chaveamento são dadas por:

$$P_{chav,IGBT} = P_{chav,on} + P_{chav,off} \quad (4.26)$$

No algoritmo elaborado para o cálculo das perdas nessa seção, as perdas por comutação são obtidas pelo somatório das energias de comutação em um período da tensão da rede elétrica multiplicado pela frequência fundamental  $f_o$ .

#### 4.4.2 Perdas nos Diodos

As perdas por condução nos diodos são obtidos da mesma forma que para o diodo em antiparalelo ao IGBT. Dessa forma, são calculados pela fórmula apresentada em (4.20). Por outro lado, as perdas por chaveamento são desprezíveis, uma vez que a corrente de recuperação reversa dos diodos MUR1660 são da ordem de poucos miliamperes (GRAOVAC; PURSCHEL, 2009b).

#### 4.4.3 Comparação das Perdas

Utilizando a metodologia descrita para o cálculo das perdas, juntamente com os dados técnicos obtidos nos *datasheets* dos dispositivos e os mesmos parâmetros de simulação apresentados na Tabela 4, foi elaborada a Tabela 11. Esta tabela indica as perdas por condução e chaveamento de cada dispositivo do inversor proposto para 1,5 kW de potência injetada na rede.

Tab. 11 – Perdas de condução e chaveamento por dispositivo do inversor proposto para uma potência nominal de 1,5 kW.

	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$D_1$	$D_2$	$D_3$	$D_4$
$P_{cond}$	2,86 W	2,86 W	2,86 W	2,86 W	2,53 W	1,57 W	0,0017 W	0,0013 W	1,02 W	1,02 W
$P_{chav}$	2,43 W	2,43 W	2,44 W	2,42 W	0,05 W	2,40 W				
$P_{total}$	5,29 W	5,29 W	5,30 W	5,28 W	2,58 W	3,98 W	0,0017 W	0,0013 W	1,02 W	1,02 W

Fonte: produzido pelo autor.

A análise dos dados da Tabela 11 reforça as vantagens do inversor proposto discutidas ao longo do capítulo. O transistor  $S_5$  apresenta perdas por chaveamento bastante reduzidas em comparação às demais chaves. Isso acontece devido à tensão no dispositivo durante o semiciclo positivo ser praticamente nula, equivalente à tensão sobre o diodo em antiparalelo. Além disso, observa-se que o IGBT  $S_6$  apresenta perdas por condução 45% menores em comparação às chaves  $S_1$  a  $S_4$ . Esse resultado está em conformidade com o que foi discutido ao longo do trabalho, uma vez que a chave  $S_6$  conduz apenas durante os períodos de estado-zero no semiciclo negativo da corrente. Importante ressaltar que os diodos  $D_1$  e  $D_2$  possuem perdas desprezíveis, visto que eles realizam somente o grampeamento ao ponto central do barramento CC e conduzem apenas a parcela da

corrente de fuga decorrente da variação da tensão da rede durante os períodos de roda-livre do inversor.

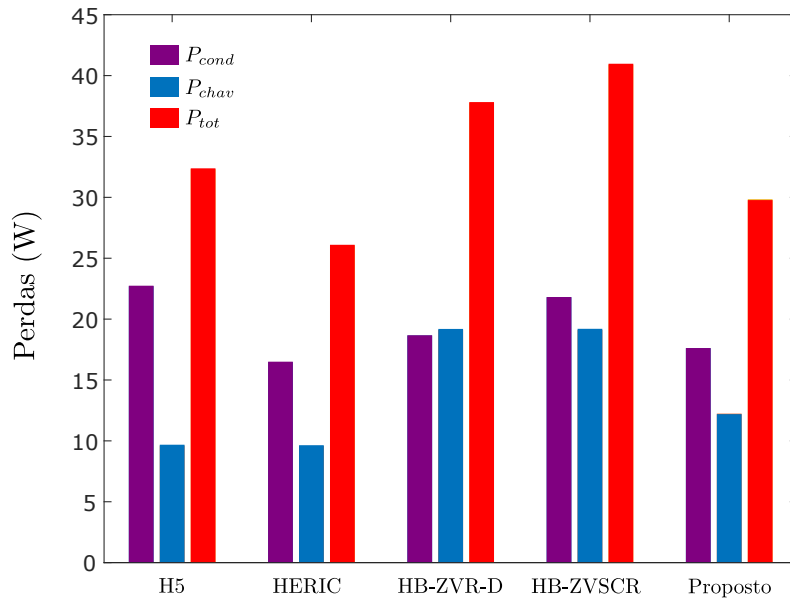


Fig. 54 – Comparação das perdas do inversor proposto com topologias convencionais para uma potência nominal de 1,5 kW.

Fonte: produzido pelo autor.

A Figura 54 ilustra os resultados do cálculo de perdas do inversor proposto em comparação às topologias convencionais para uma potência nominal de 1,5 kW. É possível notar que a redução nas perdas por comutação na chave  $S_5$  faz com que o inversor proposto tenha vantagem sobre outras topologias que realizam o grampeamento ao ponto central do barramento CC, como a HB-ZVR-D e HB-ZVSCR. Além disso, as baixas perdas da chave  $S_6$  contribuem para que o inversor proposto apresente perdas por condução semelhantes à topologia HERIC.

Na Figura 55, são apresentados os valores de perdas totais de cada inversor em uma faixa de operação de 500 W a 2500 W. Nota-se que curvas de perdas nas topologias HB-ZVR-D e HB-ZVSCR se distanciam dos outros inversores à medida que a potência injetada na rede aumenta. Isso ocorre devido ao maior número de dispositivos no caminho da corrente durante os períodos de roda-livre. Enquanto o inversor HB-ZVR-D possui dois diodos e uma chave conduzindo durante os períodos de roda-livre em ambos os semiciclos da corrente, no inversor HB-ZVSCR há sempre quatro diodos e duas chaves no caminho da corrente durante os períodos de estado-zero. À medida que a potência de saída aumenta, a corrente rms que flui pelas chaves e diodos também aumenta, tornando as perdas por condução cada vez mais significativas. Isso pode ser notado na Tabela 12, onde são detalhados os valores das perdas de condução e chaveamento em todas as topologias para cada ponto de operação. Como discutido anteriormente, o inversor proposto possui um número reduzido de dispositivos no caminho da corrente durante todos os modos



de operação, o que o torna uma opção cada vez mais vantajosa em relação às demais topologias à medida que a potência de saída do sistema é elevada.

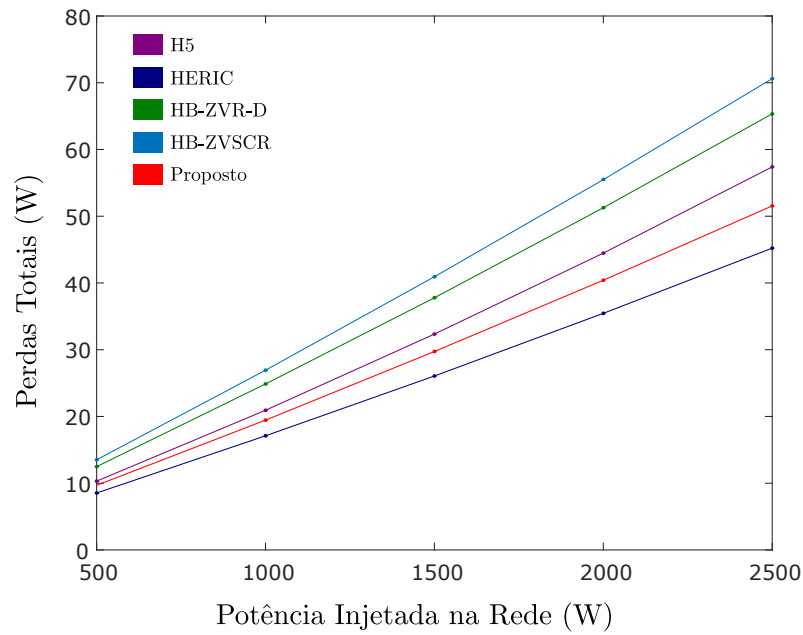


Fig. 55 – Perdas totais para diferentes valores de potência injetada na rede: de 500 W a 2500 W.

Fonte: produzido pelo autor.

Tab. 12 – Perdas para uma variação de 500 a 2500 W na potência injetada na rede.

Inversor	Perdas	Potência de saída (W)				
		500	1000	1500	2000	2500
<b>H5</b>	$P_{cond}$	6,89	14,44	22,70	31,67	41,38
	$P_{chav}$	3,42	6,52	9,64	12,80	16,01
	$P_{total}$	10,31	20,96	32,34	44,47	57,39
<b>HERIC</b>	$P_{cond}$	5,11	10,59	16,46	22,74	29,44
	$P_{chav}$	3,42	6,51	9,60	12,71	15,78
	$P_{total}$	8,53	17,10	26,06	35,45	45,22
<b>HBZVR-D</b>	$P_{cond}$	5,66	11,87	18,63	25,98	33,91
	$P_{chav}$	6,82	13,00	19,15	25,29	31,43
	$P_{total}$	12,48	24,87	37,78	51,27	65,34
<b>HB-ZVSCR</b>	$P_{cond}$	6,69	13,94	21,77	30,18	39,19
	$P_{chav}$	6,82	12,99	19,16	25,30	31,42
	$P_{total}$	13,51	26,93	40,93	55,48	70,61
<b>Proposto</b>	$P_{cond}$	5,40	11,25	17,58	24,41	31,75
	$P_{chav}$	4,28	8,19	12,15	16,00	19,80
	$P_{total}$	9,68	19,45	29,73	40,41	51,55

Fonte: produzido pelo autor.

Além da variação da potência injetada na rede, foram realizadas simulações a fim de observar o impacto da variação da frequência de chaveamento nas perdas totais de cada inversor. A Figura 56 apresenta as perdas nos inversores estudados para uma variação de 2,25 kHz a 36 kHz, enquanto a Tabela 13 detalha os valores das perdas de condução e comutação em cada frequência e topologia.

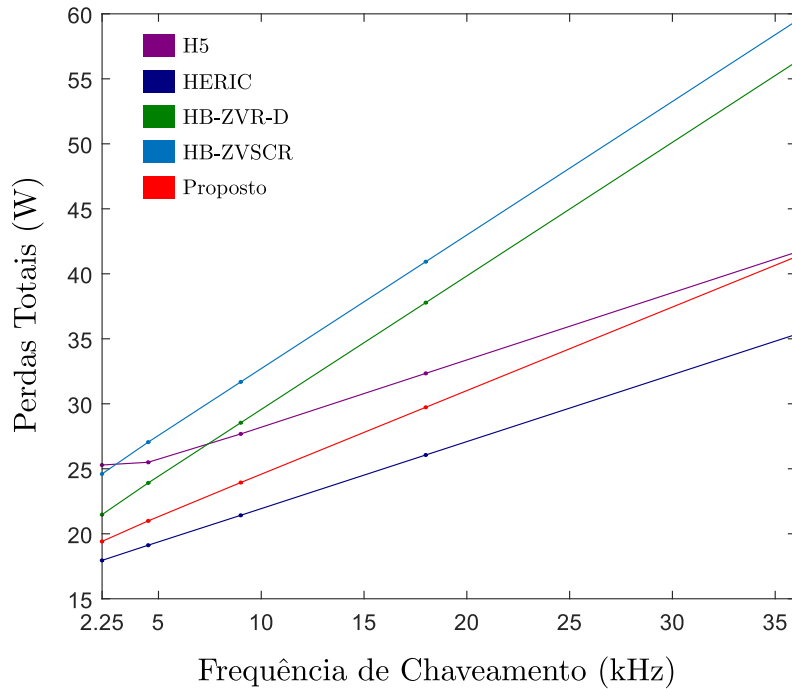


Fig. 56 – Perdas totais para diferentes valores de frequência de chaveamento: de 2,25 kHz a 36 kHz.

Fonte: produzido pelo autor.

Ao observar as equações (4.24) e (4.25), nota-se que as perdas por comutação se tornam cada vez mais significativas à medida que a frequência de chaveamento aumenta. Como apresentado na Figura 54 e na Tabela 12, as perdas por comutação da topologia H5 são semelhantes à topologia HERIC, assim como a topologia HB-ZVR-D apresentou perdas por comutação aproximadamente iguais à topologia HB-ZVSCR. Isso pode ser observado nas inclinações das retas apresentadas na Figura 56, visto que as retas dos conversores com perdas por chaveamento semelhantes têm as mesmas inclinações. Além disso, nota-se que a inclinação da reta referente ao inversor proposto é menor que as retas das topologias HB-ZVR-D e HB-ZVSCR e maior que as dos inversores H5 e HERIC. Dessa forma, com o aumento da frequência de chaveamento, o inversor proposto aumenta sua eficiência em comparação com as duas topologias citadas com grampeamento ao ponto central do barramento CC, enquanto se torna menos vantajoso em comparação às topologias H5 e HERIC. A reta do inversor H5, por exemplo, se aproxima da reta referente ao inversor proposto com o aumento da frequência de chaveamento, até o ponto de 36 kHz onde as perdas dos dois conversores são aproximadamente iguais.

Tab. 13 – Perdas para uma variação de 2,25 kHz a 36 kHz na frequência de chaveamento.

Inversor	Perdas	Frequência de Chaveamento (kHz)				
		2,25	4,5	9	18	36
<b>H5</b>	$P_{cond}$	22,70	22,70	22,70	22,70	22,70
	$P_{chav}$	2,59	2,80	4,98	9,64	18,95
	$P_{total}$	25,29	25,50	27,68	32,34	41,65
<b>HERIC</b>	$P_{cond}$	16,47	16,46	16,46	16,46	16,46
	$P_{chav}$	1,48	2,66	4,96	9,60	18,87
	$P_{total}$	17,95	19,12	21,42	26,06	35,33
<b>HBZVR-D</b>	$P_{cond}$	18,63	18,63	18,63	18,63	18,63
	$P_{chav}$	2,84	5,28	9,91	19,15	37,65
	$P_{total}$	21,47	23,91	28,54	37,78	56,28
<b>HB-ZVSCR</b>	$P_{cond}$	21,76	21,77	21,77	21,77	21,77
	$P_{chav}$	2,84	5,28	9,91	19,16	37,65
	$P_{total}$	24,60	27,05	31,68	40,93	59,42
<b>Proposto</b>	$P_{cond}$	17,56	17,58	17,56	17,58	17,60
	$P_{chav}$	1,85	3,41	6,39	12,15	23,70
	$P_{total}$	19,41	20,99	23,94	29,73	41,30

Fonte: produzido pelo autor.

## 4.5 Resultados Experimentais

A fim de validar as análises teóricas e resultados de simulação obtidos para a topologia proposta, realizou-se a montagem experimental do inversor. O circuito utilizado nos testes experimentais é ilustrado na Figura 57. Os testes experimentais foram conduzidos com o objetivo de verificar se o inversor proposto alcança o objetivo de manter a tensão de modo comum constante durante todos os seus modos de operação, o que resulta diretamente na redução da corrente de fuga. Uma vez que a tensão da rede não interfere nessa análise, optou-se por utilizar uma carga resistiva na saída em substituição à rede elétrica.

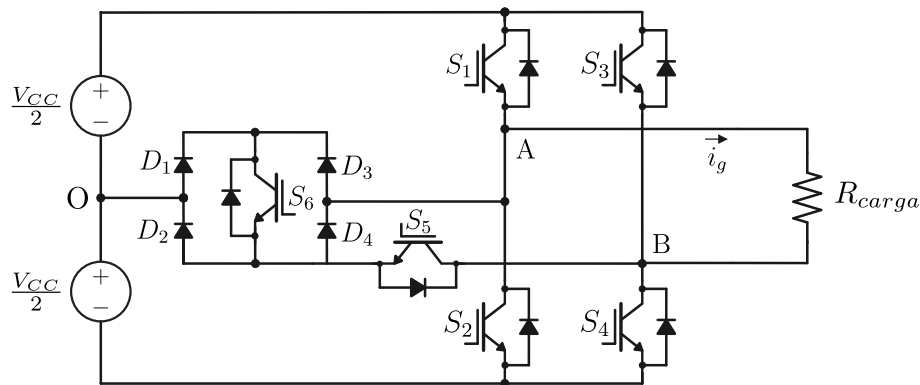


Fig. 57 – Configuração do circuito para obtenção de resultados experimentais.

Fonte: produzido pelo autor.

Os parâmetros utilizados nos testes experimentais estão listados na Tabela 14. O sinal senoidal de referência, com  $m_a = 0,90$ , e os pulsos de chaveamento necessários para gerar a tensão de saída PWM unipolar foram produzidos pelo microcontrolador TMS320F28379D, da *Texas Instruments*. Para assegurar que os IGBTs IRGP4063D operem dentro da faixa de tensão adequada às suas especificações, foram empregados seis circuitos de acionamento (um para cada IGBT) baseados no *gate driver* IR2110, conforme ilustrado na Figura 58.

Tab. 14 – Parâmetros de circuito utilizados no teste experimental.

Descrição	Valor/Parâmetro
Tensão do barramento CC ( $V_{CC}$ )	40 V
Índice de modulação em amplitude ( $m_a$ )	0,90
Frequência da tensão de referência ( $f_o$ )	50 Hz
Frequência de chaveamento ( $f_{sw}$ )	18 kHz
Resistência de carga ( $R_{carga}$ )	750 $\Omega$
IGBT	IRGP4063D
Diodo	MUR1660
Tempo morto	400 ns
<i>Gate driver</i>	IR2110
Resistência de <i>gate</i>	22 $\Omega$
Conversor CC/CC isolador	B1212s
Optoacoplador	6N137
Microcontrolador	TMS320F28379D

Fonte: produzido pelo autor.

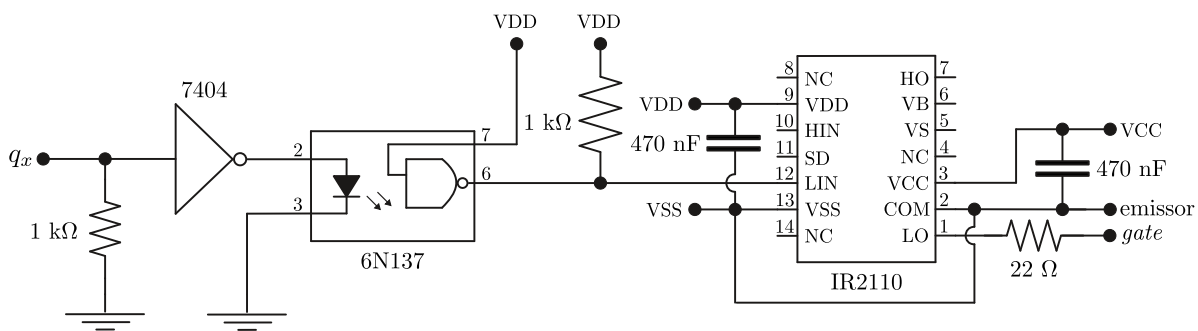


Fig. 58 – Circuito para acionamento de um IGBT.

Fonte: produzido pelo autor.

Nesse circuito, o microcontrolador fornece o sinal de chaveamento  $q_x$ , que deve ser convertido em uma tensão entre o *gate* e o emissor do IGBT, variando de 0 a 12 V. Para garantir que o dispositivo só conduza quando  $q_x$  estiver em nível lógico alto, foi adicionado um resistor de *pull-down* de 1 k $\Omega$ , que evita que o sinal permaneça em estado indefinido em relação à referência.

A isolação entre os circuitos de potência e controle foi realizada com o optoacoplador 6N137. Como a saída desse componente é invertida, utilizou-se uma porta lógica NOT (CI 7404) para restaurar o nível lógico original do sinal. Além disso, a saída do 6N137 é do tipo coletor aberto. Nessa configuração, o transistor interno do optoacoplador conecta a saída ao terra quando está em condução, estabelecendo o nível lógico baixo. No entanto, quando o transistor está desligado, a saída fica em estado de alta impedância, sem definir valor lógico. Por esse motivo, torna-se necessário o uso de um resistor de *pull-up* de  $1\text{ k}\Omega$ , que fornece o caminho para a tensão de alimentação VDD e assegura a correta definição do nível lógico alto.

Para a filtragem da alimentação dos circuitos de lógica e potência do IR2110, foram utilizados capacitores de  $470\text{ nF}$ . A saída *low-side* (LO), correspondente ao pino 1 do *gate driver*, foi conectada ao *gate* do IGBT através de um resistor de  $22\text{ }\Omega$ . O emissor do IGBT, por sua vez, foi conectado à referência da etapa de potência do IR2110, presente no pino 2 do componente.

Para alimentar todos os circuitos de acionamento a partir de uma única fonte de tensão, foram utilizados conversores CC/CC B1212S, que fornecem referências isoladas para cada circuito de acionamento dos IGBTs. A Figura 59 apresenta o esquema de alimentação de um desses circuitos. A fonte de  $12\text{ V}$  é conectada aos pinos 1 e 2 de todos os conversores B1212S, cujas saídas alimentam tanto a etapa de potência do *gate driver* IR2110 (pinos 3 e 2) quanto o regulador 7805, responsável por fornecer  $5\text{ V}$  à etapa lógica do IR2110 (pinos 9 e 13). Para alimentar o CI 7404, que contém seis portas lógicas NOT, utiliza-se um regulador 7805 conectado diretamente à fonte de  $12\text{ V}$ , conforme ilustrado na Figura 60. O terra do circuito do CI 7404 deve ser conectado ao GND do microcontrolador TMS320F28379D.

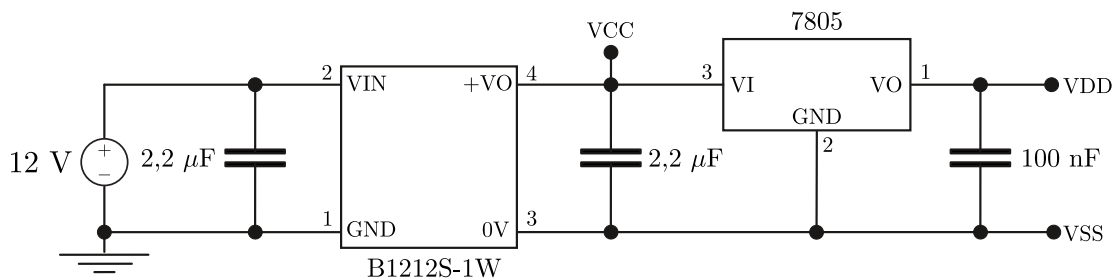


Fig. 59 – Esquema de alimentação de um circuito de acionamento.

Fonte: produzido pelo autor.

Os resultados experimentais são apresentados na Figura 61. As tensões de polo  $V_{AO}$  (canal 2) e  $V_{BO}$  (canal 1) apresentam uma forma de tensão com características esperadas para um PWM unipolar, com frequência de  $50\text{ Hz}$  e três níveis bem definidos de tensão ( $-20\text{ V}$ ,  $0$  e  $20\text{ V}$ ). É importante notar o aparecimento de *spikes* nas tensões de polo, que são maiores durante os níveis negativos da tensão  $V_{AO}$ . Esses picos são decorrentes

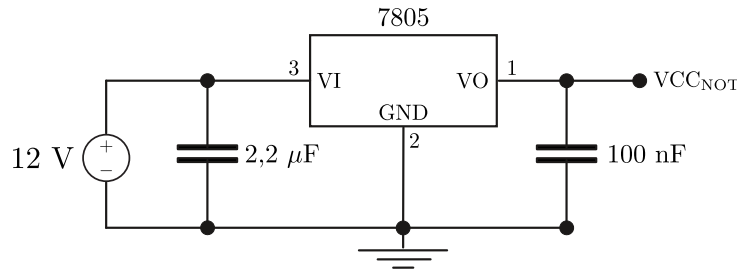


Fig. 60 – Alimentação do CI 7404.

Fonte: produzido pelo autor.

do sobressinal que ocorre na tensão dos IGBTs durante a comutação dos dispositivos, causado pelas capacitâncias e indutâncias parasitas intrínsecas ao componente. Os *spikes* são atenuados a partir do projeto de circuitos *snubbers* em paralelo com as chaves (FUJI, 2004).

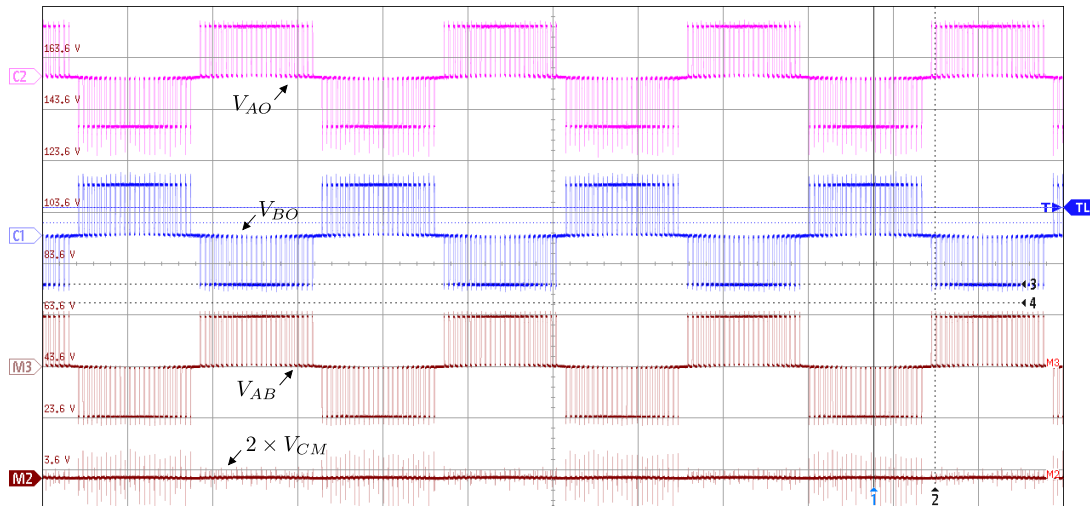


Fig. 61 – Resultados experimentais para o inversor proposto: tensões de polo  $V_{AO}$  e  $V_{BO}$ , tensão diferencial de saída  $V_{AB}$  e tensão de modo comum  $V_{CM}$ .

Fonte: produzido pelo autor.

As formas de onda da tensão diferencial de saída  $V_{AB}$  e da tensão de modo comum  $V_{CM}$  são apresentadas nos canais M3 e M2, respectivamente. A tensão  $V_{AB}$  possui três níveis estabelecidos em 40 V, 0 e -40 V, valor rms de 29,508 V e frequência de 50 Hz. Ao analisar a tensão de modo comum, que é obtida pela média aritmética das tensões de polo  $V_{AO}$  e  $V_{BO}$ , comprova-se que o inversor proposto a mantém constante durante todos os seus modos de operação. Os resultados obtidos nos testes experimentais reforçam a validade das análises teóricas e simulações realizadas ao longo do trabalho.

## 5 Conclusões e Trabalhos Futuros

### 5.1 Conclusões Gerais

Neste trabalho, foi proposta uma nova topologia de inversor sem transformador para sistemas fotovoltaicos. Um extenso *review* foi apresentado com o objetivo de compreender as principais técnicas para redução da corrente de fuga presentes na literatura.

Realizou-se uma modelagem de modo comum detalhada com o objetivo de entender o comportamento da corrente de fuga nos sistemas fotovoltaicos com inversor sem transformador. A partir dessa análise, identificou-se que a corrente de fuga tem duas principais parcelas: uma decorrente das variações na tensão de modo comum da saída do inversor e outra das variações na tensão da rede elétrica. No que diz respeito à parcela relacionada à tensão de modo comum, notou-se que o ganho em baixas frequência é bem reduzido. Para uma tensão de modo comum constante, o ganho da corrente de fuga em relação a esse tensão é zero. Essa constatação tornou-se a estratégia fundamental para reduzir a corrente de fuga em um sistema, visto que a parcela decorrente das variações na tensão da rede elétrica é bem pequena.

O novo inversor foi proposto a partir da aplicação das técnicas de desacoplamento [CA](#) e grampeamento ao ponto central do barramento [CC](#). Foram apresentados todos os modos de operação, funcionamento do ramo de grampeamento, modulação utilizada e estratégia para controle da corrente injetada na rede elétrica. Além da redução da corrente de fuga, buscou-se a redução das perdas em relação a topologias já existentes na literatura.

Foram realizadas simulações entre todos os inversores estudados e comparações com a topologia proposta. Os critérios utilizados para comparação foram: [THD](#) da corrente, valores da corrente de fuga, número de componentes do inversor e dispositivos no caminho da corrente, tensão do barramento [CC](#), tensão máxima sobre as chaves e perdas.

Verificou-se que o inversor proposto apresentou valores de corrente de fuga bem reduzidos, com valores superiores apenas às topologias com terra comum. Além disso, em relação aos dispositivos no caminho da corrente, o inversor proposto obteve excelente desempenho, apresentando uma redução nesse número em relação à maioria dos inversores estudados. Durante a análise de perdas, constatou-se que o novo inversor apresenta perdas reduzidas em comparação às topologias já existentes na literatura. A nova configuração possibilitou obter menores perdas de chaveamento e de condução em relação a topologias que utilizam as mesmas técnicas para mitigar a corrente de fuga. Além disso, observou-se que, à medida que a potência do sistema aumenta, as perdas de topologias convencionais tornam-se cada vez maiores em relação ao inversor proposto. Esse resultado era esperado,

dado o baixo número de dispositivos em condução durante todos os modos de operação do circuito. A fim de reforçar a validade das análises teóricas e simulações realizadas, foram feitos testes experimentais com o inversor proposto. Entre os resultados, observou-se que a tensão de modo comum foi mantida constante, o que valida as análises teóricas e resultados de simulação para o inversor proposto obtidos ao longo do trabalho.

## 5.2 Trabalhos Futuros

Entre os trabalhos futuros que podem ser realizados, estão:

- Confecção do protótipo do inversor para testes conectados à rede elétrica;
- Comparação das topologias em termos de confiabilidade;
- Comparação das perdas com um maior número de topologias de inversores, levando em consideração o modelo real de todos os componentes do sistema;
- Testes experimentais para avaliação do comportamento da corrente de fuga em função da variação de diferentes parâmetros, como potência injetada, capacitância parasita, indutor de filtro e tempo morto;
- Simulações e testes experimentais para avaliação da influência do fator de potência no funcionamento do inversor e na corrente de fuga.



## Referências

ABSOLAR. *Panorama da solar fotovoltaica no Brasil e no mundo*. 2023. Disponível em: <https://www.absolar.org.br/mercado/infografico/>. Acesso em: 07 de julho de 2023. Citado 2 vezes nas páginas 27 e 28.

ARAUJO, S. V.; ZACHARIAS, P.; MALLWITZ, R. Highly efficient single-phase transformerless inverters for grid-connected photovoltaic systems. *IEEE Transactions on Industrial Electronics*, v. 57, n. 9, p. 3118–3128, 2010. Citado na página 44.

ASKER, M. E.; KILIĆ, H. Modulation index and switching frequency effect on symmetric regular sampled spwm. *European Journal of Technique (EJT)*, Hibeullah KILIĆ, v. 7, n. 2, p. 102–109, 2017. Citado na página 89.

Associação Brasileira de Normas Técnicas (ABNT). *NBR 16149: Sistemas fotovoltaicos (FV) – Características da interface de conexão com a rede elétrica de distribuição*. 2013. Citado na página 37.

Associação Brasileira de Normas Técnicas (ABNT). *NBR 16690: Requisitos mínimos para sistema de microgeração e minigeração distribuída de energia elétrica*. 2018. <https://www.abntcatalogo.com.br/norma.aspx?ID=352736>. Citado na página 37.

BARBI, I. et al. Projeto de inversores monofásicos. *Universidade Federal de Santa Catarina, Instituto de Eletrônica de Potência, Florianópolis*, 2007. Citado na página 89.

BISWAS, S. K.; KUMAR, C.; MAITY, T. New single-phase multilevel inverter using less elements count. In: *2018 4th International Conference on Recent Advances in Information Technology (RAIT)*. [S.l.: s.n.], 2018. p. 1–5. Citado na página 41.

BLAABJERG, F. et al. Overview of control and grid synchronization for distributed power generation systems. *IEEE Transactions on Industrial Electronics*, v. 53, n. 5, p. 1398–1409, 2006. Citado na página 84.

BOARD, I. S. *IEEE Standard for Interconnecting Distributed Resources with Electric Power Systems: 1547-2003*. [S.l.]: IEEE, 2003. Citado na página 76.

BRASIL. Lei nº 14.300, de 6 de janeiro de 2022. *Diário Oficial [da] República Federativa do Brasil*, Brasília, DF, 2022. ISSN 1677-7042. Disponível em: [https://www.planalto.gov.br/ccivil\\_03/\\_ato2019-2022/2022/lei/l14300.htm](https://www.planalto.gov.br/ccivil_03/_ato2019-2022/2022/lei/l14300.htm). Citado na página 27.

BRUCKNER, T.; BERNET, S.; GULDNER, H. The active npc converter and its loss-balancing control. *IEEE Transactions on Industrial Electronics*, v. 52, n. 3, p. 855–868, 2005. Citado 2 vezes nas páginas 39 e 40.

BRUCKNER, T.; BERNET, S.; GULDNER, H. The active npc converter and its loss-balancing control. *IEEE Transactions on Industrial Electronics*, v. 52, n. 3, p. 855–868, 2005. Citado na página 40.

BURGER, B.; KRANZER, D. Extreme high efficiency pv-power converters. In: *2009 13th European Conference on Power Electronics and Applications*. [S.l.: s.n.], 2009. p. 1–13. Citado na página 44.

CALAIS, M.; AGELIDIS, V. Multilevel converters for single-phase grid connected photovoltaic systems-an overview. In: *IEEE International Symposium on Industrial Electronics. Proceedings. ISIE'98 (Cat. No.98TH8357)*. [S.l.: s.n.], 1998. v. 1, p. 224–229 vol.1. Citado na página 39.

CHEN, B.; LAI, J.-S. A family of single-phase transformerless inverters with asymmetric phase-legs. In: *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2015. p. 2200–2205. Citado na página 29.

CHEN, W.; HOTCHKISS, E.; BAZZI, A. Reconfiguration of npc multilevel inverters to mitigate short circuit faults using back-to-back switches. *CPSS Transactions on Power Electronics and Applications*, v. 3, n. 1, p. 46–55, 2018. Citado na página 41.

CHEN, W. et al. Leakage current calculation for pv inverter system based on a parasitic capacitor model. *IEEE Transactions on Power Electronics*, v. 31, n. 12, p. 8205–8217, 2016. Citado 2 vezes nas páginas 33 e 34.

COMMISSION, I. E. *Safety of power converters for use in photovoltaic power systems - Part 2: Particular requirements for inverters*. [S.l.], 2011. Disponível em: <<https://webstore.iec.ch/publication/6471>>. Citado na página 37.

FREDDY, T. K. S. et al. Comparison and analysis of single-phase transformerless grid-connected pv inverters. *IEEE Transactions on Power Electronics*, v. 29, n. 10, p. 5358–5369, 2014. Citado 3 vezes nas páginas 35, 36 e 53.

FREDDY, T. K. S. et al. Comparison and analysis of single-phase transformerless grid-connected pv inverters. *IEEE Transactions on Power Electronics*, v. 29, n. 10, p. 5358–5369, 2014. Citado 4 vezes nas páginas 49, 50, 89 e 90.

FUJI. *IGBT Modules Application Manual*. [S.l.]: February, REH984, 2004. Citado na página 116.

GONZALEZ, R. et al. Transformerless single-phase multilevel-based photovoltaic inverter. *IEEE Transactions on Industrial Electronics*, v. 55, n. 7, p. 2694–2702, 2008. Citado 5 vezes nas páginas 36, 37, 48, 53 e 56.

GONZALEZ, R. et al. Transformerless inverter for single-phase photovoltaic systems. *IEEE Transactions on Power Electronics*, v. 22, n. 2, p. 693–697, 2007. Citado 2 vezes nas páginas 47 e 48.

GRAOVAC, D.; PURSCHEL, M. Igbt power losses calculation using the data-sheet parameters-application note. *V 1.1*, 2009. Citado na página 107.

GRAOVAC, D.; PURSCHEL, M. Igbt power losses calculation using the data-sheet parameters-application note. *V 1.1*, 2009. Citado na página 109.

HART, D. W.; HART, D. W. *Power electronics*. [S.l.]: McGraw-Hill New York, 2011. v. 166. Citado na página 89.

HOLMES, D. G.; LIPO, T. A. *Pulse width modulation for power converters: principles and practice*. [S.l.]: John Wiley & Sons, 2003. v. 18. Citado na página 78.

HOLMES, D. G. et al. Optimized design of stationary frame three phase ac current regulators. *IEEE Transactions on Power Electronics*, v. 24, n. 11, p. 2417–2426, 2009. Citado na página 85.

IEA, I. E. A. *Distributed Generation in Liberalised Electricity Markets*. Paris: OECD/IEA, 2002. Citado na página 27.

ISLAM, M.; MEKHILEF, S.; HASAN, M. Single phase transformerless inverter topologies for grid-tied photovoltaic system: A review. *Renewable and sustainable energy reviews*, Elsevier, v. 45, p. 69–86, 2015. Citado na página 28.

JI, B.; WANG, J.; ZHAO, J. High-efficiency single-phase transformerless pv h6 inverter with hybrid modulation method. *IEEE Transactions on Industrial Electronics*, v. 60, n. 5, p. 2104–2115, 2013. Citado na página 45.

KEREKES, T. *Analysis and modeling of transformerless photovoltaic inverter systems*. [S.l.]: Institut for Energiteknik, Aalborg Universitet, 2009. Citado 2 vezes nas páginas 45 e 49.

KEREKES, T. et al. Evaluation of three-phase transformerless photovoltaic inverter topologies. *IEEE Transactions on Power Electronics*, v. 24, n. 9, p. 2202–2211, 2009. Citado na página 56.

KEREKES, T. et al. A new high-efficiency single-phase transformerless pv inverter topology. *IEEE Transactions on Industrial Electronics*, v. 58, n. 1, p. 184–191, 2011. Citado na página 45.

KHAN, M. N. H. et al. Transformerless inverter topologies for single-phase photovoltaic systems: A comparative review. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, IEEE, v. 8, n. 1, p. 805–835, 2019. Citado na página 28.

KHAN, M. N. H. et al. H-bridge zero-voltage switch-controlled rectifier transformerless midpoint-clamped inverter for photovoltaic applications. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 8, n. 4, p. 4382–4394, 2020. Citado 3 vezes nas páginas 50, 51 e 89.

KNAUP, P. *Inverter*. [S.l.]: Google Patents, 2009. US Patent App. 11/664,741. Citado na página 41.

LOPEZ, O. et al. Leakage current evaluation of a singlephase transformerless pv inverter connected to the grid. In: *APEC 07 - Twenty-Second Annual IEEE Applied Power Electronics Conference and Exposition*. [S.l.: s.n.], 2007. p. 907–912. Citado na página 34.

MA, L. et al. The pwm strategies of grid-connected distributed generation active npc inverters. In: *2009 IEEE Energy Conversion Congress and Exposition*. [S.l.: s.n.], 2009. p. 920–927. Citado na página 40.

MA, L. et al. A new pwm strategy for grid-connected half-bridge active npc converters with losses distribution balancing mechanism. *IEEE Transactions on Power Electronics*, v. 30, n. 9, p. 5331–5340, 2015. Citado na página 39.

- MA, L. et al. Leakage current analysis of single-phase transformer-less grid-connected pv inverters. In: *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2015. p. 000887–000892. Citado na página 34.
- MA, L. et al. The high efficiency transformer-less pv inverter topologies derived from npc topology. In: *2009 13th European Conference on Power Electronics and Applications*. [S.l.: s.n.], 2009. p. 1–10. Citado 2 vezes nas páginas 40 e 41.
- MATAVELLI, P.; BUSO, S. Digital control in power electronics. *Morgan and Claypool*, 2006. Citado na página 78.
- MEHTA, P.; KUMAR, M. Capacitor voltage balancing and thd analysis in anpc multilevel inverter. In: *2018 IEEMA Engineer Infinite Conference (eTechNxT)*. [S.l.: s.n.], 2018. p. 1–5. Citado na página 41.
- MIRANDA, R. D. d. *Modelamento da malha de controle da corrente em conversores de potência modulados por largura de pulso*. Tese (Doutorado) — Universidade de São Paulo, 2012. Citado na página 77.
- MYRZIK, J.; CALAIS, M. String and module integrated inverters for single-phase grid connected photovoltaic systems - a review. In: *2003 IEEE Bologna Power Tech Conference Proceedings*. [S.l.: s.n.], 2003. v. 2, p. 8 pp. Vol.2–. Citado na página 29.
- MYRZIK, J.; CALAIS, M. String and module integrated inverters for single-phase grid connected photovoltaic systems - a review. In: *2003 IEEE Bologna Power Tech Conference Proceedings*. [S.l.: s.n.], 2003. v. 2, p. 8 pp. Vol.2–. Citado na página 34.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, 1981. Citado 2 vezes nas páginas 38 e 39.
- NATUME, H. K. et al. *Estratégia de geração de barramentos CC simétricos isolados, para inversores NPC, com conversor CC-CC trifásico série ressonante*. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, 2016. Citado na página 90.
- NOOR, S. M. et al. A review of single-phase single stage inverter topologies for photovoltaic system. In: *2013 IEEE 4th Control and System Graduate Research Colloquium*. [S.l.: s.n.], 2013. p. 69–74. Citado na página 41.
- PAULINO, H. D.; MENEGÁZ, P. J. M.; SIMONETTI, D. S. L. A review of the main inverter topologies applied on the integration of renewable energy resources to the grid. In: *XI Brazilian Power Electronics Conference*. [S.l.: s.n.], 2011. p. 963–969. Citado na página 45.
- PRADO, E. d. O. et al. *Modelo de cálculo de perdas por comutação e método de seleção de tecnologias de transistores fet aplicados a conversores estáticos*. Universidade Federal de Santa Maria, 2020. Citado na página 108.
- PRATA, M. L. d. C. *Compatibilidade electromagnética: perturbações injectadas na rede eléctrica por onduladores de tensão*. Tese (Doutorado), 2012. Citado na página 89.
- PUPO, A. D. *Estudo de metodologias de projeto para filtros de saída de inversores*. Dissertação (B.S. thesis) — Universidade Tecnológica Federal do Paraná, 2015. Citado na página 90.

REVESZ, R. L.; UNEL, B. Managing the future of the electricity grid: Distributed generation and net metering. *NYU School of Law, Public Law Research Paper*, n. 16-09, p. 16–09, 2016. Citado na página 28.

RODRIGUEZ, J. et al. A survey on neutral-point-clamped inverters. *IEEE Transactions on Industrial Electronics*, v. 57, n. 7, p. 2219–2230, 2010. Citado 2 vezes nas páginas 40 e 48.

SAMADAEI, E. et al. A square t-type (st-type) module for asymmetrical multilevel inverters. *IEEE Transactions on Power Electronics*, v. 33, n. 2, p. 987–996, 2018. Citado na página 41.

SCHMIDT, H.; SIEDLE, C.; KETTERER, J. Wechselrichter zum unwandeln einer elektrischen gleichspannung in einen wechselstrom oder eine wechselfspannung. *EP Patent 2086102A2*, 2003. Citado na página 44.

SCHWEIZER, M.; FRIEDLI, T.; KOLAR, J. W. Comparative evaluation of advanced three-phase three-level inverter/converter topologies against two-level systems. *IEEE Transactions on Industrial Electronics*, v. 60, n. 12, p. 5515–5527, 2013. Citado na página 41.

SOLARPOWER. *SolarPower Europe (2022): Global Market Outlook for Solar Power 2022–2026*. 2022. Citado na página 27.

SU, X.; SUN, Y.; LIN, Y. Analysis on leakage current in transformerless single-phase pv inverters connected to the grid. In: *2011 Asia-Pacific Power and Energy Engineering Conference*. [S.l.: s.n.], 2011. p. 1–5. Citado na página 34.

TEODORESCU, R. et al. Proportional-resonant controllers and filters for grid-connected voltage-source converters. *IEE Proceedings-Electric Power Applications*, IET, v. 153, n. 5, p. 750–762, 2006. Citado na página 86.

VICTOR, M. et al. *Method of converting a direct current voltage from a source of direct current voltage, more specifically from a photovoltaic source of direct current voltage, into a alternating current voltage*. [S.l.]: Google Patents, 2008. US Patent 7,411,802. Citado na página 43.

XIAO, H.; XIE, S. Leakage current analytical model and application in single-phase transformerless photovoltaic grid-connected inverter. *IEEE Transactions on Electromagnetic Compatibility*, v. 52, n. 4, p. 902–913, 2010. Citado na página 34.

XIAO, H.; XIE, S. Leakage current analytical model and application in single-phase transformerless photovoltaic grid-connected inverter. *IEEE Transactions on Electromagnetic Compatibility*, v. 52, n. 4, p. 902–913, 2010. Citado na página 46.

XIAO, H. et al. An optimized transformerless photovoltaic grid-connected inverter. *IEEE Transactions on Industrial Electronics*, v. 58, n. 5, p. 1887–1895, 2011. Citado na página 46.

YANG, B. et al. Improved transformerless inverter with common-mode leakage current elimination for a photovoltaic grid-connected power system. *IEEE Transactions on Power Electronics*, v. 27, n. 2, p. 752–762, 2012. Citado na página 42.

ZHANG, L. et al. A family of neutral point clamped full-bridge topologies for transformerless photovoltaic grid-tied inverters. *IEEE Transactions on Power Electronics*, v. 28, n. 2, p. 730–739, 2013. Citado na página 46.

ZHANG, L. et al. A family of neutral point clamped full-bridge topologies for transformerless photovoltaic grid-tied inverters. *IEEE Transactions on Power Electronics*, v. 28, n. 2, p. 730–739, 2013. Citado 3 vezes nas páginas 48, 49 e 89.

ZHOU, D.; BLAABJERG, F. Bandwidth oriented proportional-integral controller design for back-to-back power converters in dfig wind turbine system. *IET Renewable Power Generation*, Wiley Online Library, v. 11, n. 7, p. 941–951, 2017. Citado na página 87.

ZHOU, D.; SONG, Y.; BLAABJERG, F. Control of power electronic converters and systems. *New York, NY, USA: Academic*, p. 117–151, 2018. Citado 2 vezes nas páginas 84 e 86.

ZILLES, R. et al. *Sistemas fotovoltaicos conectados à rede elétrica*. [S.l.]: Oficina de textos, 2016. Citado na página 28.