



UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA



DISSERTAÇÃO DE MESTRADO

FERNANDO MARTINS CARDOSO

**MULTIPLICADOR ANALÓGICO EM
TECNOLOGIA CMOS COM ALTA REJEIÇÃO
À VARIAÇÃO DA TENSÃO DE
ALIMENTAÇÃO**

SALVADOR

2018

FERNANDO MARTINS CARDOSO

**MULTIPLICADOR ANALÓGICO EM
TECNOLOGIA CMOS COM ALTA REJEIÇÃO
À VARIAÇÃO DA TENSÃO DE
ALIMENTAÇÃO**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Edson Pinto Santana

**SALVADOR
2018**

Cardoso, Fernando Martins.

Multiplicador Analógico em Tecnologia CMOS com Alta Rejeição à Variação da Tensão de Alimentação / Fernando Martins Cardoso. – Salvador, 2018.

40 f. : il.

Orientador: Edson Pinto Santana.

Dissertação (Mestrado – Engenharia Elétrica) – Universidade Federal da Bahia, Escola Politécnica, 2018.

1. Multiplicadores Analógicos. 2. Circuitos Integrados. 3. Tecnologia CMOS. 4. Sinapse Eletrônica. I. Santana, Edson Pinto. II. Universidade Federal da Bahia. III. Título.

CDD: 621.31

FERNANDO MARTINS CARDOSO

***Multiplicador Analógico em Tecnologia CMOS com Alta Rejeição À
Variação da Tensão de Alimentação.***

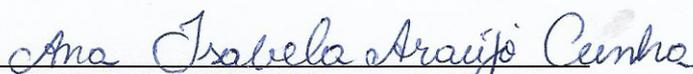
Dissertação apresentada à Universidade Federal da Bahia, como parte das exigências do Programa de Pós-Graduação em Engenharia Elétrica, para a obtenção do título de *Mestre*.

APROVADA em: 27 de Abril de 2018.

BANCA EXAMINADORA



Prof. Dr. Edson Pinto Santana
Orientador - UFBA



Prof^a. Dr^a. Ana Isabela Araújo Cunha
UFBA



Prof. Dr. Maicon Deivid Pereira
UFBA



Prof. Dr. Eduardo Telmo Fonseca Santos
UFBA

Este trabalho é dedicado à Petúnia, à minha família e aos meus amigos.

Agradecimentos

A toda minha família, pelos ensinamentos e valores que transcendem em muito a importância de títulos acadêmicos.

Aos amigos Rodrigo, Juliana, Bruno, Simon, Adinailson, Fred, Túlio e tantos outros que foram se agregando, compartilhando e tornando a jornada mais fácil, pela compreensão de minhas ausências.

À Petúnia, pelo amor, incentivo e uma carinhosa paciência, difíceis de traduzir em palavras. Também aos seus pais, Wilson e Derci, pelo acolhimento e apoio.

Aos colegas da UFBA, especialmente aos companheiros de laboratório Gabriele, Karol, Volker, Rodrigo Barros, Ademir, Antônio e Fabian. A troca de ideias e experiência foram tão ricas quanto todo este trabalho de pesquisa.

Ao meu orientador Prof. Edson e à Prof.^a Ana Isabela, pelo inestimável auxílio e pela atitude exemplar no atendimento à demanda de seus pupilos e dedicação às suas carreiras profissionais.

À banca examinadora, pelas valorosas contribuições que em muito enriqueceram a versão final deste trabalho.

Resumo

O presente trabalho consiste no desenvolvimento e avaliação de uma arquitetura de multiplicador analógico de quatro quadrantes de elevada robustez em relação à variação da tensão de alimentação. Embora o multiplicador proposto neste trabalho seja de uso geral, a principal motivação de sua concepção é a aplicação na implementação da rede neuronal/não linear celular (CNN) voltada para o processamento de imagens. Para garantir as características desejadas ao multiplicador, também foi projetada e avaliada uma fonte de corrente de polarização pouco sensível às variações da tensão de alimentação. A avaliação de desempenho do multiplicador foi realizada através de extensas simulações em diferentes cenários, que apontam um erro de linearidade inferior a 3% da máxima excursão de saída para variações na tensão de alimentação de até 20% abaixo do valor nominal. Um conjunto inicial de simulações da CNN implementada com o bloco multiplicador desenvolvido revelam resultados satisfatórios para as funções de processamento avaliadas.

Palavras-chaves: multiplicadores analógicos, circuitos integrados, tecnologia CMOS, sinapse eletrônica.

Abstract

In this work, the architecture of a four-quadrant analog multiplier with low sensitivity to supply voltage variations is developed and analyzed. Despite being a general purpose multiplier, it is intended to be applied to the implementation of an analog Cellular Non-linear/Neural Network (CNN) for image processing. To ensure to the multiplier low sensitivity to supply voltage variations, a current source for biasing purposes has also been designed and analyzed with this very feature. The performance evaluation of the multiplier has been accomplished through extensive simulations in different scenarios, pointing to linearity errors below 3% of the maximum output range considering supply voltage variation up to 20% below the nominal value. A set of early simulations of the CNN using the proposed multiplier circuit for the synapses revealed satisfactory results in performing basic image processing functions.

Key-words: analog multipliers, integrated circuits, CMOS technology, electronic synapse.

Lista de ilustrações

Figura 1 – Rede neuronal celular.	6
Figura 2 – Diagrama de blocos da célula padrão da CNN.	6
Figura 3 – Máscara do operador sináptico A	7
Figura 4 – Diagrama de blocos da célula do tipo FSR.	8
Figura 5 – Núcleo do multiplicador corrente-tensão com saída em corrente.	9
Figura 6 – Esquema de cancelamento.	10
Figura 7 – Multiplicador de quatro quadrantes.	10
Figura 8 – Circuito subtrator de corrente.	11
Figura 9 – Circuitos de polarização.	11
Figura 10 – Circuito da célula do tipo FSR.	12
Figura 11 – Esquemático da sinapse baseada em OTA linearizado na célula de uma CNN.	13
Figura 12 – Corrente de saída em função do estado da sinapse baseada em OTA linearizado.	14
Figura 13 – Diagrama do circuito de CNN programável baseada em OTA.	14
Figura 14 – Corrente de saída simulada (linha contínua) e medida (linha tracejada) para a CNN programável baseada em OTA.	15
Figura 15 – (a) Núcleo do multiplicador e (b) Bloco de circuito responsável por prover v'_{in} e capturar i_{out}	18
Figura 16 – Esquema de cancelamento para o multiplicador proposto.	19
Figura 17 – Multiplicador de quatro quadrantes proposto.	20
Figura 18 – Circuito de polarização adotado em (CARDOSO, 2015) e (CARDOSO; SCHNEIDER; SANTANA, 2018).	21
Figura 19 – Circuito de fonte de corrente autopolarizada com resistor.	21
Figura 20 – Circuito de fonte de corrente autopolarizada apenas com transistores.	22
Figura 21 – Circuito da SBCS implementada neste trabalho.	23
Figura 22 – Corrente de saída simulada para os circuitos de polarização em função de (a) variação da tensão de alimentação e (b) variação da temperatura.	26
Figura 23 – Simulação de V_{S2} com a variação de temperatura.	27
Figura 24 – (a) Característica DC de $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV; (b) Erro de linearidade correspondente.	28
Figura 25 – (a) Característica DC de $i_{out} \times v_{in}$ no multiplicador proposto, com i_{in} variando em passos de 50 nA; (b) Erro de linearidade correspondente.	29
Figura 26 – Características DC do multiplicador em (a) (SANTANA, 2013) e (b) (CARDOSO; SCHNEIDER; SANTANA, 2018).	30

Figura 27 – Erros de linearidade das características DC em (a) (SANTANA, 2013) e (b) (CARDOSO; SCHNEIDER; SANTANA, 2018).	30
Figura 28 – Características DC $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores da tensão de alimentação.	31
Figura 29 – Erro de linearidade nas características DC $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores da tensão de alimentação.	32
Figura 30 – Curvas características simuladas no multiplicador proposto, sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA e tensão de alimentação variando em passos de 60 mV.	33
Figura 31 – Curvas características simuladas no multiplicador de (CARDOSO; SCHNEIDER; SANTANA, 2018), sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA e tensão de alimentação variando em passos de 60 mV.	33
Figura 32 – Curvas características simuladas no multiplicador de (SANTANA, 2013), sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA e tensão de alimentação variando em passos de 60 mV.	33
Figura 33 – Erro máximo absoluto de linearidade das características $i_{out} \times v_{in}$ com i_{in} constante igual ao fundo de escala positivo, em função da tensão de alimentação $V_{DD} = -V_{SS}$	34
Figura 34 – Curvas características simuladas no multiplicador proposto, sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA, $V_{SS} = -0,6$ V e V_{DD} variando em passos de 60 mV.	35
Figura 35 – Curvas características simuladas no multiplicador proposto, sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA, $V_{DD} = 0,6$ V e V_{SS} variando em passos de 60 mV.	35
Figura 36 – Resposta em frequência do multiplicador proposto para: (a) sinal AC na entrada em corrente com entrada em tensão $v_{in} = 20$ mV e (b) sinal AC na entrada em tensão com entrada em corrente $i_{in} = 200$ nA.	36
Figura 37 – Simulação no domínio do tempo do multiplicador proposto para as entradas senoidais $i_{in} = 100$ nA _{p-p} /10 kHz e $v_{in} = 15$ mV _{p-p} /1 kHz.	36
Figura 38 – Distorção harmônica total do multiplicador proposto para: $i_{in} = 200$ nA / $v_{in} = V_m \text{sen}(2\pi 10^3 t)$ e $v_{in} = 20$ mV / $i_{in} = I_m \text{sen}(2\pi 10^3 t)$	37
Figura 39 – Simulação de v'_{in} com a variação de temperatura.	38
Figura 40 – Características DC $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores de temperatura.	39
Figura 41 – Erro de linearidade nas características DC $i_{out} \times i_{in}$ do multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores de temperatura.	39

Figura 42 – Características DC $i_{out} \times v_{in}$ no multiplicador proposto, com i_{in} variando em passos de 50 nA e para diferentes valores de temperatura.	40
Figura 43 – Erro de linearidade nas características DC $i_{out} \times v_{in}$ do multiplicador proposto com i_{in} variando em passos de 50 nA e para diferentes valores de temperatura.	40
Figura 44 – Características DC obtidas por análise de Monte Carlo considerando 11 amostras para cada: (a) valor de v_{in} (20 ou -20 mV); (b) valor de i_{in} (200 ou -200 nA).	41
Figura 45 – Histogramas obtidos por análise de Monte Carlo considerando 1000 amostras simuladas no ponto quiescente (a) da corrente de saída i_{out} e (b) da tensão v'_{in}	41
Figura 46 – Densidade espectral da corrente de ruído à saída do multiplicador proposto.	42
Figura 47 – Operadores sinápticos para detecção de bordas.	43
Figura 48 – Resultados da simulação da operação de detecção de bordas para imagens à entrada da CNN. Imagem inicial à esquerda e imagem final à direita.	44
Figura 49 – Operadores sinápticos para preenchimento de buracos.	44
Figura 50 – Resultados da simulação da operação de preenchimento de buracos para imagens à entrada da CNN. Imagem inicial à esquerda e imagem final à direita.	45

Lista de tabelas

Tabela 1	–	Parâmetros do modelo ACM extraídos para a tecnologia CMOS adotada	25
Tabela 2	–	Valores nominais dos parâmetros de simulação	25
Tabela 3	–	Razões de aspecto dos transistores dos circuitos de polarização	26
Tabela 4	–	Razões de aspecto e níveis de inversão dos transistores do multiplicador	27
Tabela 5	–	Coeficientes das retas que melhor ajustam as características $v'_{in} \times v_{in}$ obtidas por simulação.	34
Tabela 6	–	Tabela de comparação de parâmetros de desempenho entre multiplicadores distintos	42

Lista de abreviaturas e siglas

AC	<i>Alternating Current</i> (Corrente Alternada)
ACM	<i>Advanced Compact MOSFET Model</i> (Modelo de MOSFET Compacto Avançado)
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> (Metal-Óxido-Semicondutor Complementar)
CNN	<i>Cellular Neural/Nonlinear Network</i> (Rede Celular Neuronal/Não Linear)
ConvNet	<i>Convolutional Neural Network</i> (Rede Neuronal Convolutacional)
CTAT	<i>Complementary to Absolute Temperature</i> (Complementar à Temperatura Absoluta)
DC	<i>Direct Current</i> (Corrente Contínua)
FSR	<i>Full Signal Range</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> (Transistor por Efeito de Campo Metal-Óxido-Semicondutor)
OTA	<i>Operational Transconductance Amplifier</i> (Amplicador Operacional de Transcondutância)
PTAT	<i>Proportional to Absolute Temperature</i> (Proporcional à Temperatura Absoluta)
PVT	<i>Process, Voltage and Temperature Simulations</i> (Simulações com Variação de Processo, Tensão e Temperatura)
SBCS	<i>Self-Biased Current Source</i> (Fonte de Corrente Autopolarizada)
self-CCM	<i>Self-Biased Cascode Current Mirror</i> (Espelho de Corrente Cascode Autopolarizado)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
VLSI	<i>Very-Large-Scale Integration</i> (Integração em escala muito grande)

Lista de símbolos

C'_{ox}	capacitância do óxido por unidade de área
g_{md}	transcondutância de dreno
g_{ms}	transcondutância de fonte
i_f	corrente normalizada direta
i_r	corrente normalizada reversa
I_B	corrente de polarização
I_D	corrente de dreno
I_F	corrente de saturação direta
I_R	corrente de saturação reversa
I_S	corrente de normalização
$I_{SQN(P)}$	corrente tecnológica do transistor quadrado canal N(P)
L	comprimento do canal
n	fator de rampa
V_{DB}	tensão entre os terminais de dreno e substrato
V_{DD}	tensão de alimentação positiva
V_{DS}	tensão entre os terminais de dreno e fonte
V_{DSsat}	tensão entre os terminais de dreno e fonte no limiar da saturação
V_{FB}	tensão de banda plana
V_{GB}	tensão entre os terminais de porta e substrato
V_P	tensão de <i>pinch-off</i>
V_{SB}	tensão entre os terminais de fonte e substrato
V_{SS}	tensão de alimentação negativa
$V_{T0N(P)}$	tensão de limiar em equilíbrio do transistor canal N(P)

W	largura do canal
β	parâmetro de transcondutância
γ	fator de efeito de corpo
μ	mobilidade de cargas (portadores)
ϕ_F	potencial de Fermi
ϕ_t	potencial termodinâmico

Sumário

1	INTRODUÇÃO	1
1.1	Justificativa	2
1.2	Objetivos	3
1.3	Estrutura do Trabalho	4
2	DESCRIÇÃO E MODELAGEM DA CNN	5
2.1	Redes neuronais celulares	5
2.2	Implementação da CNN utilizando circuito analógico	8
2.3	Outros multiplicadores aplicados em CNN	13
3	MULTIPLICADOR PROPOSTO	17
3.1	Princípio de operação	17
3.2	Compartilhamento de blocos e considerações de projeto	20
3.3	Geração da corrente de polarização	20
4	RESULTADOS	25
4.1	Fonte de Corrente Autopolarizada	25
4.2	Multiplicador Proposto	27
4.2.1	Características DC sem Variação de Parâmetros	28
4.2.2	Características DC com a Variação da Tensão de Alimentação	31
4.2.3	Comparação com as Características DC de Outras Implementações quanto à Variação da Tensão de Alimentação	32
4.2.4	Variação Assimétrica da Tensão de Alimentação	34
4.2.5	Resposta em Frequência	36
4.2.6	Resposta no Domínio do Tempo	36
4.2.7	Distorção Harmônica Total	37
4.2.8	Análise com Relação à Variação de Temperatura	38
4.2.9	Análise com Relação à Variação de Parâmetros do Processo de Fabricação	41
4.2.10	Análise de Ruído	42
4.3	Comparação entre Parâmetros de Desempenho de Multiplicadores Analógicos com Topologias Distintas	42
4.4	Rede Neuronal Celular Implementada com o Multiplicador Proposto	43
4.4.1	Detecção de bordas	43
4.4.2	Preenchimento de buracos	44

5	CONCLUSÃO	47
	REFERÊNCIAS	49
	ANEXOS	53
	ANEXO A – EQUAÇÕES DO MODELO ACM	55

1 Introdução

O uso da tecnologia metal-óxido-semicondutor complementar (CMOS) cresceu muito devido à confiabilidade, a alta capacidade de integração, o baixo custo e o baixo consumo de energia associados a esta tecnologia.

Mesmo com o grande avanço de sistemas digitais, a interação de tais sistemas com o mundo real requer um processamento analógico dos sinais, que usualmente apresenta-se mais veloz que o processamento digital. No entanto, as variações a que estão submetidos os componentes eletrônicos que tratam o sinal analógico, devidas à temperatura, imperfeições inerentes à tecnologia e modelagem inadequada de efeitos secundários são adicionais de dificuldade para o projeto de circuitos analógicos (SCHNEIDER; GALUP-MONTORO, 2010).

Em (SANTANA, 2013), circuitos analógicos em tecnologia CMOS são dimensionados para implementar uma rede neuronal/não linear celular (CNN), com o intuito de realizar processamento paralelo e em tempo real de informação visual, podendo assim ser utilizada no projeto de próteses retinianas. Para tanto, a CNN concilia em sua topologia circuitos somadores, multiplicadores, integradores e grameadores de sinal, que precisam ser robustos à variação de parâmetros, dado o caráter de sua aplicação primordial.

Conforme será detalhado no capítulo 2, o multiplicador analógico é de suma importância para o funcionamento da CNN e para o grau de complexidade de sua realização em larga escala de integração (VLSI), exigindo uma topologia bem específica para a implementação do operador denominado **sinapse**. A saber, é desejável ao multiplicador possuir ao menos uma entrada em tensão e saída em corrente, conforme arquitetura da CNN proposta em (GALAN et al., 2003), (SANTANA, 2013), uma vez que ficam simplificados o roteamento de entradas compartilhadas e o somatório da saída das sinapses, que possuem alto grau de repetibilidade. O multiplicador analógico atribui pesos aos sinais transmitidos entre as células, definindo assim toda a dinâmica da rede neuronal.

O multiplicador desenvolvido em (SANTANA, 2013) atende às especificações iniciais adotadas no projeto, mas apresenta uma relativa sensibilidade à tensão de alimentação, conforme demonstrado em (SANTANA; FREIRE; CUNHA, 2012) e simulado em (CARDOSO, 2015). Sugestões realizadas por um dos membros da banca de defesa de tese do trabalho (SANTANA, 2013), Prof. Dr. Márcio Cherem Schneider, resultaram em uma proposta inicial de topologia para o multiplicador, inspirada na estrutura de espelho de corrente *cascode* autopolarizado (self-CCM), presente em (VINCENCE; GALUP-MONTORO; SCHNEIDER, 2000), que visava sobretudo conferir à operação do circuito menor sensibilidade em relação às variações na tensão de alimentação, ao tempo que continuasse atendendo

às restrições de projeto da sinapse. Tal topologia foi analisada, projetada e simulada em (CARDOSO, 2015), obtendo-se êxito na comprovação da menor sensibilidade em relação às variações na tensão de alimentação quando comparada ao multiplicador apresentado em (SANTANA; FREIRE; CUNHA, 2012). No entanto, essa topologia apresentava alto erro de linearidade e necessidade de modificações no circuito que melhorassem seu desempenho, sobretudo para aplicações mais genéricas, diversas à implementação de CNN's.

Tomando como partida o contexto acima apresentado, este trabalho visou conciliar as características dos circuitos referenciados, que são adequadas ao desenvolvimento de uma sinapse mais robusta aplicável à realização da CNN, e projetar circuitos que complementam as necessidades da nova topologia, a exemplo das fontes de polarização.

1.1 Justificativa

Em (SANTANA; FREIRE; CUNHA, 2012), é apresentado um multiplicador analógico adequado à implementação da CNN realizada em (SANTANA, 2013). A CNN, por sua vez, foi baseada no modelo descrito em (CHUA; YANG, 1988b), (CHUA; YANG, 1988a), bem como nas aplicações descritas em (VARRIENTOS; SÁNCHEZ-SINENCIO; RAMÍREZ-ANGULO, 1993), (RODRÍGUEZ-VÁZQUEZ et al., 1993), (CHUA; ROSKA, 2002), (ESPEJO et al., 1996).

As interconexões entre as células da rede neuronal são designadas por sinapses e representam uma parcela preponderante na implementação de uma CNN, podendo ser desempenhadas por blocos de circuitos multiplicadores, consistindo no foco de interesse de diferentes trabalhos (SANTANA, 2013). Destarte, os parâmetros de desempenho do bloco multiplicador interferem diretamente nas características gerais de operação da CNN.

A CNN implementada em (SANTANA, 2013) é voltada para o processamento paralelo e analógico de imagens com o intuito de sintetizar uma prótese retiniana, sendo assim, altamente desejável que o circuito seja pouco sensível à variação de parâmetros, conferindo robustez ao seu funcionamento.

Em (CARDOSO, 2015), demonstrou-se por simulação que o multiplicador de (SANTANA; FREIRE; CUNHA, 2012) apresenta como característica alta sensibilidade à variação da tensão de alimentação. Já a nova topologia testada em (CARDOSO, 2015) apresenta alto erro de linearidade e distorção harmônica. Sendo assim, a necessidade de desenvolver um multiplicador que melhore as características apresentadas por essas duas topologias serviu de grande motivação ao presente trabalho.

O equacionamento para dimensionar os transistores em todos os circuitos implementados neste trabalho foi realizado utilizando o modelo compacto avançado de MOSFET (ACM) descrito em (SCHNEIDER; GALUP-MONTORO, 2010), (MONTORO;

SCHNEIDER; CUNHA, 1999), (CUNHA et al., 1997), (CUNHA; SCHNEIDER; GALUP-MONTORO, 1998).

Resultados parciais obtidos durante o desenvolvimento deste trabalho foram publicados no artigo (CARDOSO; SCHNEIDER; SANTANA, 2018), apresentado no *9th Latin American Symposium on Circuits and Systems (LASCAS)*, realizado em fevereiro de 2018. O artigo expõe a topologia proposta para o multiplicador analógico, comparando a mesma com a topologia apresentada em (SANTANA; FREIRE; CUNHA, 2012), e apresenta as simulações que a validam, tais como: curvas características de análise DC, erro de linearidade, distorção harmônica total (THD), análise no domínio do tempo de modulação em amplitude e análise de Monte Carlo para avaliação da resposta do circuito a variações do processo de fabricação.

Embora o resultado publicado em (CARDOSO; SCHNEIDER; SANTANA, 2018) tenha sido satisfatório em termos de validação da arquitetura proposta, a necessidade de uma corrente de polarização pouco sensível à variação da tensão de alimentação como princípio básico para correta operação do multiplicador analógico levou ao projeto da fonte de corrente autopolarizada com base no circuito proposto em (OGUEY; AEBISCHER, 1997).

Neste trabalho, uma topologia de circuito multiplicador analógico com alta rejeição à variação da tensão de alimentação é apresentada e simulada com relação à diversos aspectos de operação e desempenho, justificando sua aplicação à CNN implementada em (SANTANA, 2013) e suas características são apresentadas para, em trabalhos futuros, servirem como critério de avaliação para outras aplicações.

1.2 Objetivos

Este trabalho de pesquisa consiste no desenvolvimento de uma topologia de circuito analógico em tecnologia CMOS que melhora a robustez do circuito multiplicador da CNN implementada em (SANTANA, 2013) em relação à variação da tensão de alimentação, sendo a implementação da CNN em circuitos analógicos tema de interesse em trabalhos diversos, de mais antigos a mais recentes (VARRIENTOS; SÁNCHEZ-SINENCIO; RAMÍREZ-ANGULO, 1993), (RODRÍGUEZ-VÁZQUEZ et al., 1993), (DOMÍNGUEZ-MATAS et al., 2006), (PATACHE; GORAS, 2015), (TAKALO, 2016), (MAYR et al., 2016).

A validação da topologia proposta é feita por meio de simulações em *software* profissional de projetos de circuitos integrados da Mentor Graphics Corporation[®], utilizando a tecnologia CMOS Global Foundries 130 nm (comprimento mínimo de canal igual a 0,13 μm).

1.3 Estrutura do Trabalho

Este trabalho está organizado da seguinte forma:

- No capítulo 1 (Introdução), são apresentados a contextualização, a justificativa e os objetivos do trabalho;
- No capítulo 2 (Descrição e Modelagem da CNN), é apresentada a CNN e sua implementação em circuitos analógicos, contextualizando os multiplicadores em tecnologia CMOS aplicáveis à implementação de CNN's;
- No capítulo 3 (Multiplicador Proposto), é descrito e analisado o multiplicador analógico de quatro quadrantes em tecnologia CMOS proposto neste trabalho;
- No capítulo 4 (Resultados Obtidos), estão apresentados os resultados de simulação do multiplicador analógico proposto com relação a diferentes parâmetros de desempenho, bem como os resultados de simulação da CNN implementada com o multiplicador proposto na realização de funções de processamento de imagem;
- No capítulo 5, apresenta-se a conclusão do trabalho;
- No anexo A, está resumido o conjunto de equações do modelo utilizado na descrição e dimensionamento dos transistores neste trabalho.

2 Descrição e Modelagem da CNN

Esta seção apresenta a estrutura básica e modelagem de uma rede neuronal/não linear celular (CNN), no contexto do trabalho desenvolvido em (SANTANA, 2013), e descreve os circuitos analógicos para a implementação da mesma.

Com o intuito de promover a desambiguação de termos, é importante destacar que a sigla CNN também é amplamente usada para designar as redes neuronais convolucionais (igualmente abreviadas por ConvNet), que são frequentemente utilizadas no processamento digital de imagens (MATSUGU et al., 2003), (KIDO; HIRANO; HASHIMOTO, 2018) e não possuem relação direta com este trabalho.

Embora o multiplicador analógico proposto neste trabalho também apresente características de uso geral, não sendo obrigatório o estudo da CNN para a sua compreensão e aplicações diversas, ressalta-se que sinapses mais robustas para a implementação de redes do tipo CNN são a grande motivação deste trabalho.

2.1 Redes neuronais celulares

As redes neuronais celulares ou redes não lineares celulares (em ambos os casos, são abreviadas simplesmente como CNN) constituem uma categoria de circuitos de processamento analógico que viabilizaram o desenvolvimento de novos modelos voltados ao processamento de imagens (CHUA; YANG, 1988a), (CHUA; YANG, 1988b), (CHUA; ROSKA, 2002), (SANTANA, 2013).

Na arquitetura padrão de uma CNN, cada célula $C_{i,j}$ se comunica com outras células por meio de sinapses numa vizinhança de raio r definida como $S_r(k, l)$, para r , i , j , k e l inteiros positivos. Na Figura 1 estão representadas as sinapses para o caso de uma rede de tamanho 4×4 com vizinhança de raio unitário S_1 e as células das regiões de fronteira, cujas condições podem ser definidas de diferentes maneiras (CHUA; ROSKA, 2002), (SANTANA, 2013).

De acordo com (SANTANA, 2013), (CHUA; YANG, 1988b), a expressão que rege a dinâmica de cada célula padrão é definida como:

$$\dot{x}_{i,j} = x_{i,j} + \sum_{C(k,l) \in S_r(i,j)} A(i, j; k, l) y_{k,l} + \sum_{C(k,l) \in S_r(i,j)} B(i, j; k, l) u_{k,l} + z_{i,j} \quad (2.1)$$

onde $x_{i,j}$ é o estado, $y_{i,j}$ é a saída, $u_{i,j}$ é a entrada e $z_{i,j}$ é o limiar da célula $C_{i,j}$. Já as matrizes $A(i, j; k, l)$ e $B(i, j; k, l)$ são denominadas operadores sinápticos de realimentação

e de entrada, respectivamente. A equação de saída pode assumir diversas formas e é uma função limitadora do estado. Na implementação padrão é definida como:

$$y_{i,j} = f(x_{i,j}) = \frac{1}{2} (|x_{i,j} + 1| - |x_{i,j} - 1|) \quad (2.2)$$

Em (CHUA; YANG, 1988b), é demonstrado que o comportamento do estado ao longo do tempo é limitado e estável dentro de certas restrições.

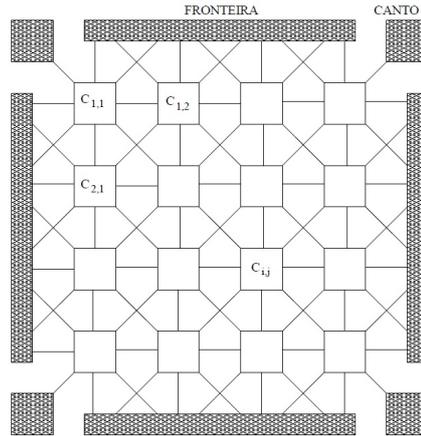


Figura 1 – Rede neuronal celular.

Fonte – (SANTANA, 2013).

Na Figura 2 apresenta-se o diagrama de blocos detalhado da célula padrão da CNN, em que os operadores sinápticos **A** e **B** “podem variar no espaço e no tempo e executar operações não lineares no intervalo de tempo $0 \leq t \leq t_0$, que resultam em um escalar” (SANTANA, 2013).

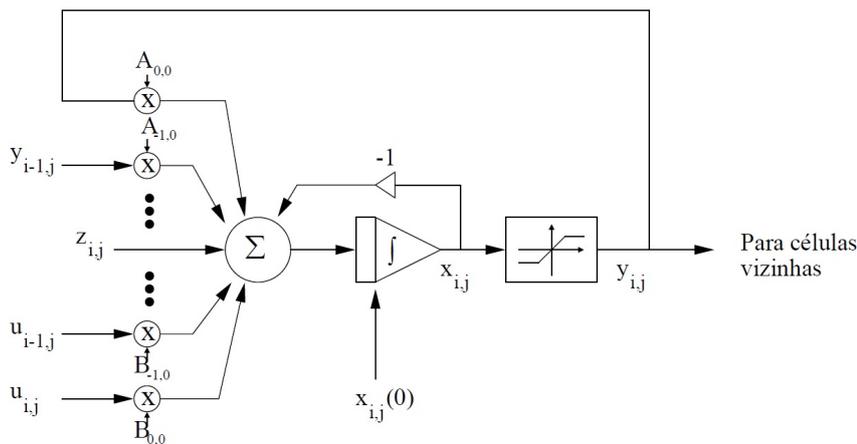


Figura 2 – Diagrama de blocos da célula padrão da CNN.

Fonte – (SANTANA, 2013).

Os operadores sinápticos podem implementar um amplo conjunto de funções. Estes operadores consistem de conjuntos de coeficientes reais da operação de multiplicação,

denominados pesos sinápticos e são representados por máscaras, conforme ilustrado na Figura 3 para o operador sináptico \mathbf{A} (SANTANA, 2013).

A aplicação do operador sináptico \mathbf{A} (e, analogamente, do operador \mathbf{B}), descrito na equação (2.1), para uma vizinhança de raio unitário S_1 resulta em:

$$\sum_{C(k,l) \in S_1(i,j)} A(i,j;k,l)y_{k,l} = A_{-1,-1}y_{i-1,j-1} + A_{-1,0}y_{i-1,j} + \dots + A_{1,1}y_{i+1,j+1} \quad (2.3)$$

na qual $A_{p,q}$ equivale ao peso sináptico e $(p,q) \in \mathbb{Z}$.

$\mathbf{A}_{-1,-1}$	$\mathbf{A}_{-1,0}$	$\mathbf{A}_{-1,1}$
$\mathbf{A}_{0,-1}$	$\mathbf{A}_{0,0}$	$\mathbf{A}_{0,1}$
$\mathbf{A}_{1,-1}$	$\mathbf{A}_{1,0}$	$\mathbf{A}_{1,1}$

Figura 3 – Máscara do operador sináptico \mathbf{A} .

Fonte – (SANTANA, 2013).

No trabalho (SANTANA, 2013), foi utilizado um modelo de célula padrão para a CNN denominado *Full Signal Range* (FSR), ilustrado na Figura 4, (RODRÍGUEZ-VÁZQUEZ et al., 1993) e (ESPEJO et al., 1996). Segundo (SANTANA, 2013), “este modelo diferencia-se da célula padrão já apresentada principalmente pelo fato de os valores para a variável de estado estarem restritos à faixa de entrada da célula, eliminando a necessidade de um bloco limitador não linear explícito à saída da célula”. Com isso, a célula do tipo FSR estabelece que as faixas dinâmicas da variável de estado e da variável de saída sejam iguais, resultando na implementação de circuitos mais compactos e robustos (ESPEJO et al., 1996).

De acordo com (RODRÍGUEZ-VÁZQUEZ et al., 1993) e (ESPEJO et al., 1996), o comportamento da CNN do tipo FSR pode ser descrito pelas seguintes expressões:

$$\tau \dot{x}^c = g(x^c) + \sum_{d \in S_r(c)} (\hat{A}_d^c y_d + B_d^c u_d) + D^c \quad (2.4)$$

$$g(x) = \lim_{m \rightarrow +\infty} \begin{cases} -m(x+1), & \text{se } x \leq -1 \\ 0, & \text{se } -1 \leq x \leq 1 \\ -m(x-1), & \text{se } x \geq 1 \end{cases} \quad (2.5)$$

onde c é uma célula genérica, d é uma posição específica (p,q) na vizinhança relativa à célula c , τ é a constante de tempo de integração, $x_c(0)$ é o valor inicial para a variável de estado x^c , $g(x)$ é uma função de grampeamento, D^c é o limiar da célula c , e $\hat{A}_d^c = A_d^c$, exceto para $\hat{A}_{0,0}^c = A_{0,0}^c - 1$.

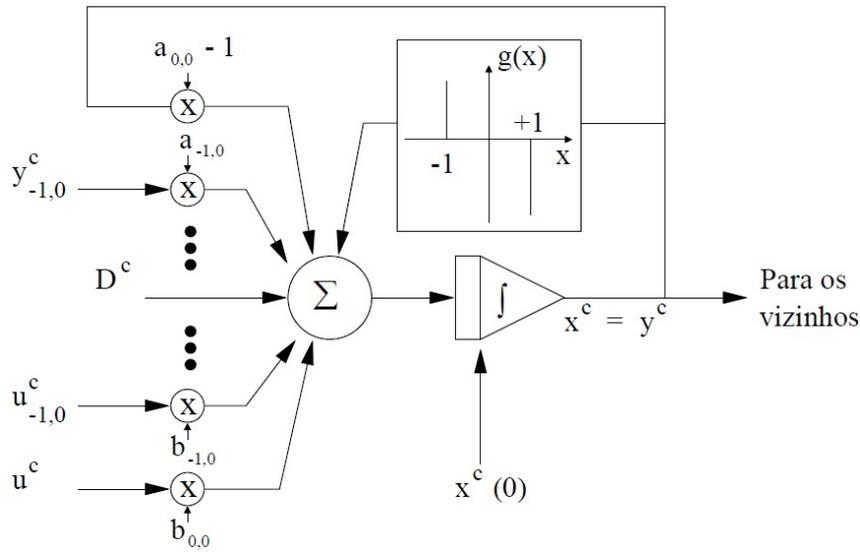


Figura 4 – Diagrama de blocos da célula do tipo FSR.

Fonte – (SANTANA, 2013).

2.2 Implementação da CNN utilizando circuito analógico

Em (SANTANA, 2013), a CNN do tipo FSR é implementada com circuitos analógicos em tecnologia CMOS, visando realizar o processamento de imagens, com potencial aplicação na reprodução das principais funções da retina humana.

A estrutura da célula FSR apresentada na Figura 4 e descrita nas equações (2.4) e (2.5) tem suas operações implementadas com diferentes blocos de circuito, entre os quais se destaca a sinapse, devido ao seu alto grau de repetibilidade dentro da CNN. Portanto, é desejável que a mesma tenha baixo consumo e ocupe pouco espaço no *chip* (SANTANA, 2013). O bloco sináptico consiste de um multiplicador analógico, cuja operação pode ser compreendida analisando-se seu núcleo, apresentado na Figura 5.

O núcleo do multiplicador se utiliza, como em (MACHADO et al., 2009), do espelhamento de transcondutância de fonte entre os transistores M_1 e M_{3A} , sendo que ambos operam no início da região de não saturação. Logo,

$$i_{outA} = \frac{(i_{in} + I_B)}{V_{DS1}} v'_{in} \quad (2.6)$$

onde i_{in} é a corrente de entrada; I_B é a corrente de polarização, V_{DS1} é a tensão dreno-fonte do transistor M_1 , que é constante, i_{outA} é a corrente de dreno do transistor M_{3A} e v'_{in} é uma função do grau da tensão de entrada v_{in} .

Conforme (SANTANA, 2013), os transistores M_{3C} , M_4 , M_5 , M_6 e M_7 , devem operar em regime de saturação. O transistor M_{3C} desacopla a tensão v'_{in} do terminal de saída, proporcionando alta impedância ao mesmo, enquanto os demais transistores geram

sucessivos deslocamentos de tensão, resultando em:

$$v'_{in} = kv_{in} + V_{IDC} \quad (2.7)$$

onde o fator k é devido ao efeito de corpo e V_{IDC} representa o deslocamento de nível total. O termo V_{IDC} em 2.7 é função, dentre outros parâmetros, das tensões de alimentação V_{DD} e V_{SS} , estando descrito em (SANTANA, 2013) como:

$$V_{IDC} = n_N(n_N + 1) \left(\frac{V_{DD}}{n_P^2} + \frac{V_{SS}}{n_N(n_N + 1)} + \frac{V_{T0N}}{n_N} - |V_{T0P}| \frac{n_P + 1}{n_P^2} - V_{shift} \right) \quad (2.8)$$

onde V_{shift} é a tensão de polarização no terminal de porta de M_5 , correspondente a um deslocamento de nível de M_7 , $n_{N(P)}$ é o fator de rampa e $V_{T0N(P)}$ é a tensão de limiar em equilíbrio do transistor canal $N(P)$.

O fator de rampa e a tensão de limiar são parâmetros de modelagem que podem ser considerados constantes. Porém, a tensão de alimentação pode sofrer variações em seu valor, como, por exemplo, aquelas verificadas em uma bateria eletroquímica durante seu descarregamento, e possivelmente comprometer a operação do bloco sináptico e a robustez da CNN.

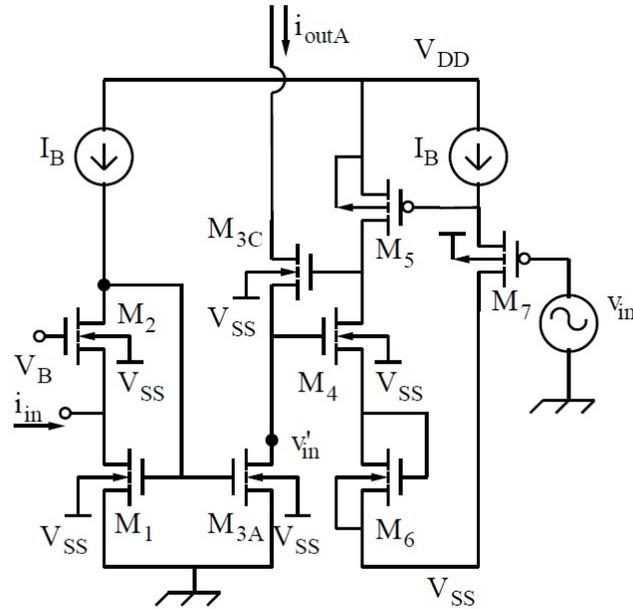


Figura 5 – Núcleo do multiplicador corrente-tensão com saída em corrente.

Fonte – (SANTANA, 2013).

A saída em corrente para o núcleo multiplicador apresentado na Figura 5 é descrita por:

$$i_{outA} = \frac{(i_{in} + I_B)}{V_{DS1}} (kv_{in} + V_{IDC}) \quad (2.9)$$

Para eliminar os termos indesejados em (2.9), adotou-se em (SANTANA, 2013) o esquema de cancelamento mostrado na Figura 6.

As saídas em corrente para os demais núcleos multiplicadores são dadas por:

$$i_{outB} = \frac{(i_{in} + I_B)}{V_{DS1}} V_{IDC} \quad (2.10)$$

$$i_{outC} = \frac{I_B}{V_{DS1}} V_{IDC} \quad (2.11)$$

$$i_{outD} = \frac{I_B}{V_{DS1}} (k v_{in} + V_{IDC}) \quad (2.12)$$

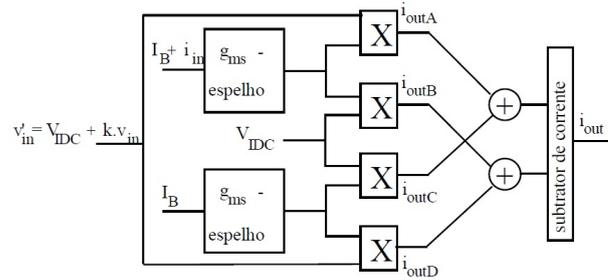


Figura 6 – Esquema de cancelamento.

Fonte – (SANTANA, 2013).

Portanto, a corrente na saída do multiplicador de quatro quadrantes completo apresentado no diagrama da Figura 7 é dada por:

$$i_{out} = i_{outA} + i_{outC} - (i_{outB} + i_{outD})$$

$$i_{out} = \frac{k}{V_{DS1}} v_{in} i_{in} \quad (2.13)$$

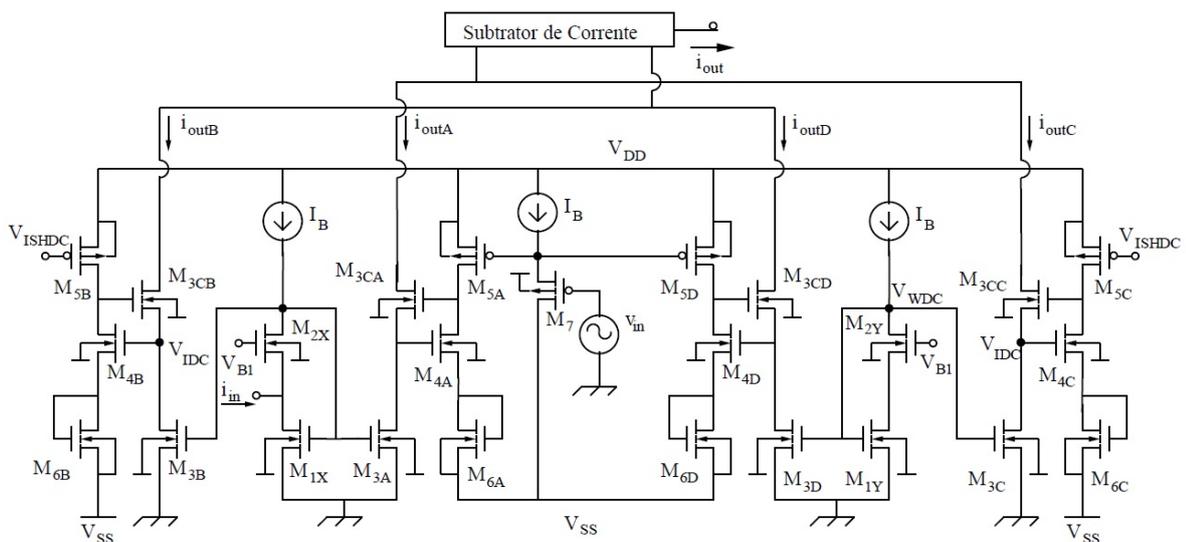


Figura 7 – Multiplicador de quatro quadrantes.

Fonte – (SANTANA, 2013).

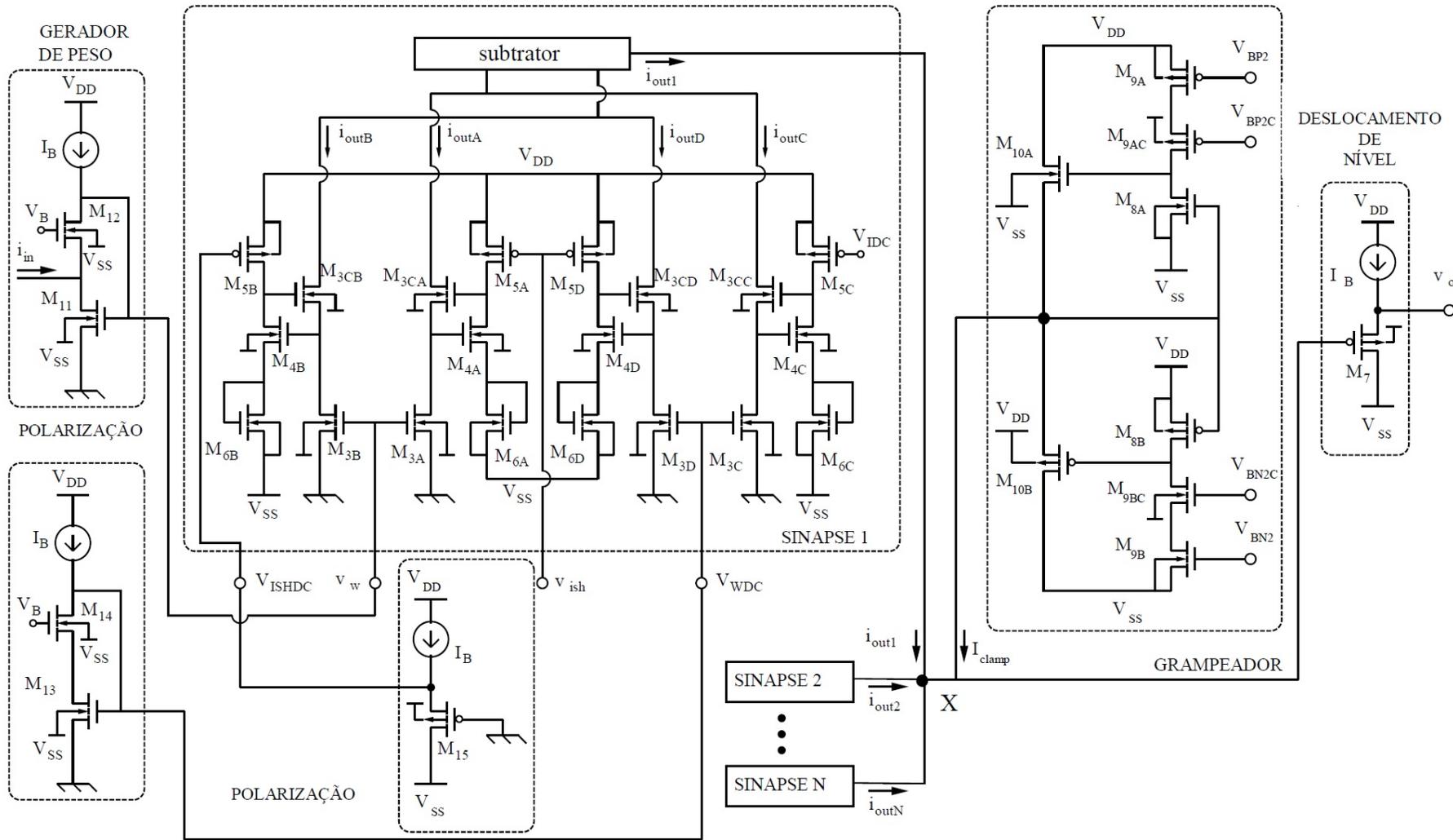


Figura 10 – Circuito da célula do tipo FSR.

Fonte – (SANTANA, 2013).

2.3 Outros multiplicadores aplicados em CNN

A robustez dos multiplicadores analógicos voltados à aplicação em CNN é uma característica desejável, pois variações de seu comportamento podem ocasionar alterações na dinâmica da rede neuronal (DOMÍNGUEZ-MATAS et al., 2006).

Nas aplicações de multiplicadores em tecnologia CMOS, uma das principais preocupações com relação à linearidade recai na conversão de tensão em corrente, sendo adotado em (DOMÍNGUEZ-MATAS et al., 2006) o uso de amplificador operacional de transcondutância (OTA) linearizado baseado no amplificador diferencial de transcondutância descrito em (KRUMMENACHER; JOEHL, 1988).

Na Figura 11 é mostrado o esquemático de uma célula do circuito implementado em (DOMÍNGUEZ-MATAS et al., 2006). Quando opera com a chave *loop* fechada, o circuito implementa a dinâmica regida pela equação (2.4). O circuito à esquerda do esquemático formado pelos transistores M1-M4 e as fontes de corrente de polarização I_b consiste no OTA linearizado responsável pela conversão tensão-corrente entre o estado da célula e a saída da sinapse. Os pesos sinápticos são gerados pelos espelhos de corrente programáveis na parte inferior ao centro e à direita do esquemático, formados pelos transistores M7x e M8x. O bloco superior ao centro do esquemático, formado por espelhos de alto desempenho, adiciona as contribuições (em corrente) das células vizinhas que, por sua vez, são integradas no capacitor C_S , que implementa a variável de estado sob a forma de tensão.

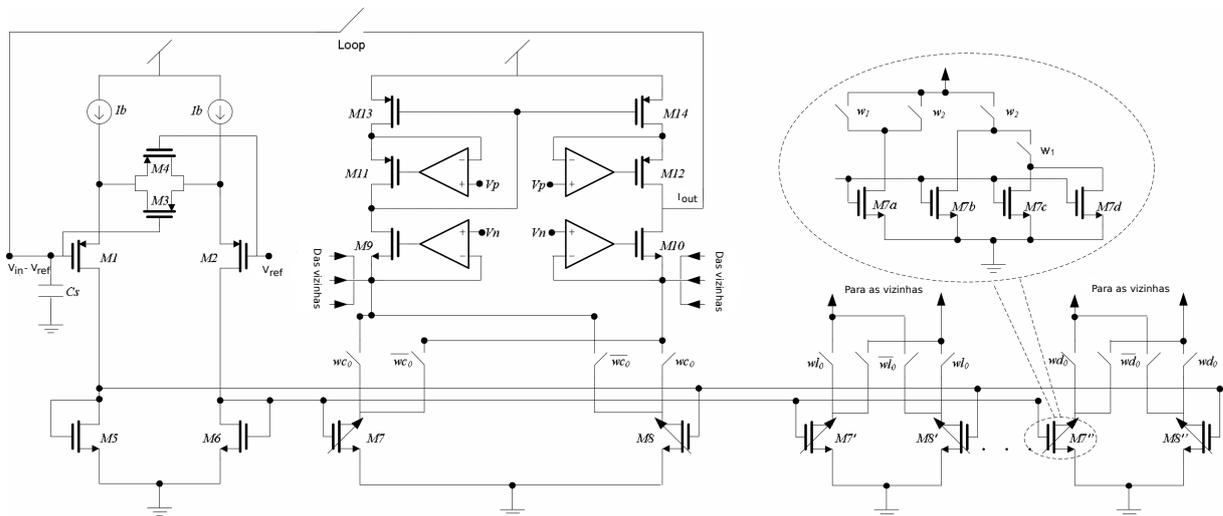


Figura 11 – Esquemático da sinapse baseada em OTA linearizado na célula de uma CNN.

Fonte – Adaptado de (DOMÍNGUEZ-MATAS et al., 2006).

As curvas características da sinapse implementada em (DOMÍNGUEZ-MATAS et al., 2006) são mostradas na Figura 12, na qual se nota a linearidade e simetria da operação de multiplicação nesta arquitetura, porém com a desvantagem de que os pesos só podem ser implementados em valores discretos.

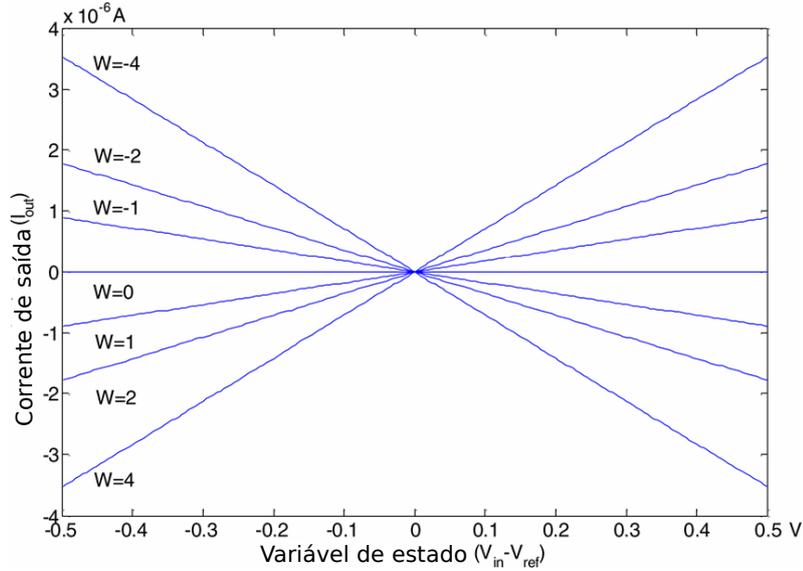


Figura 12 – Corrente de saída em função do estado da sinapse baseada em OTA linearizado.

Fonte – Adaptado de (DOMÍNGUEZ-MATAS et al., 2006).

Em (WANG; ZHANG; JIN, 2006), o OTA também é explorado na arquitetura apresentada na Figura 13. Semelhantemente ao que ocorre em (DOMÍNGUEZ-MATAS et al., 2006), a inspiração básica do circuito é utilizar o OTA para converter a entrada em tensão numa saída em corrente I_W que, então, é modificada proporcionalmente à corrente da matriz de espelhos de corrente controlada por pesos binários. O circuito é composto basicamente pelos seguintes blocos: o OTA (transistores M_{B1} - M_{B6} e M_{01} - M_{08}), um estágio intermediário (transistores M_{09} - M_{18}) e a matriz de espelhos de corrente (transistores MD_{01} a MD_{24}).

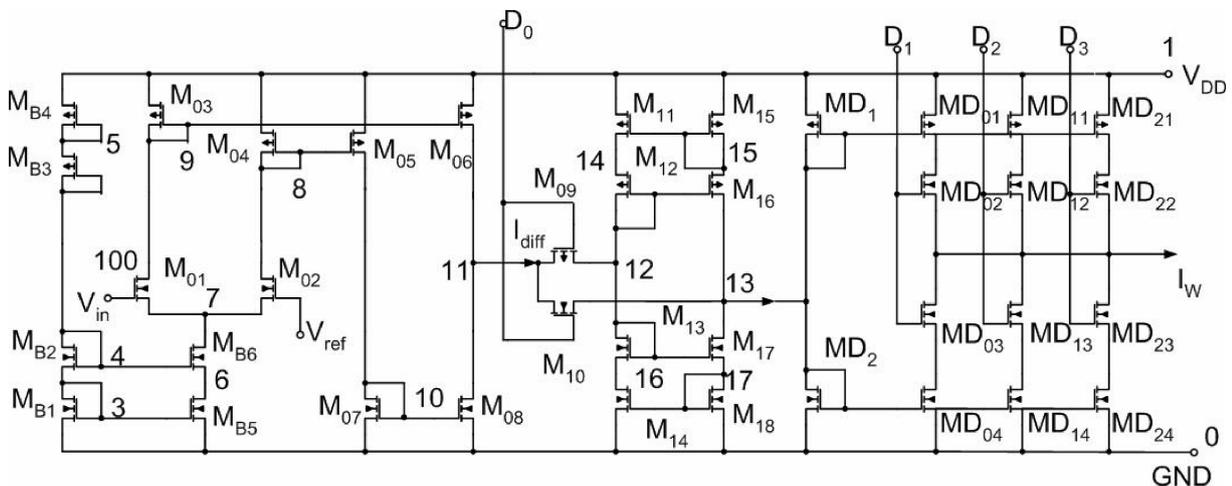


Figura 13 – Diagrama do circuito de CNN programável baseada em OTA.

Fonte – Adaptado de (WANG; ZHANG; JIN, 2006).

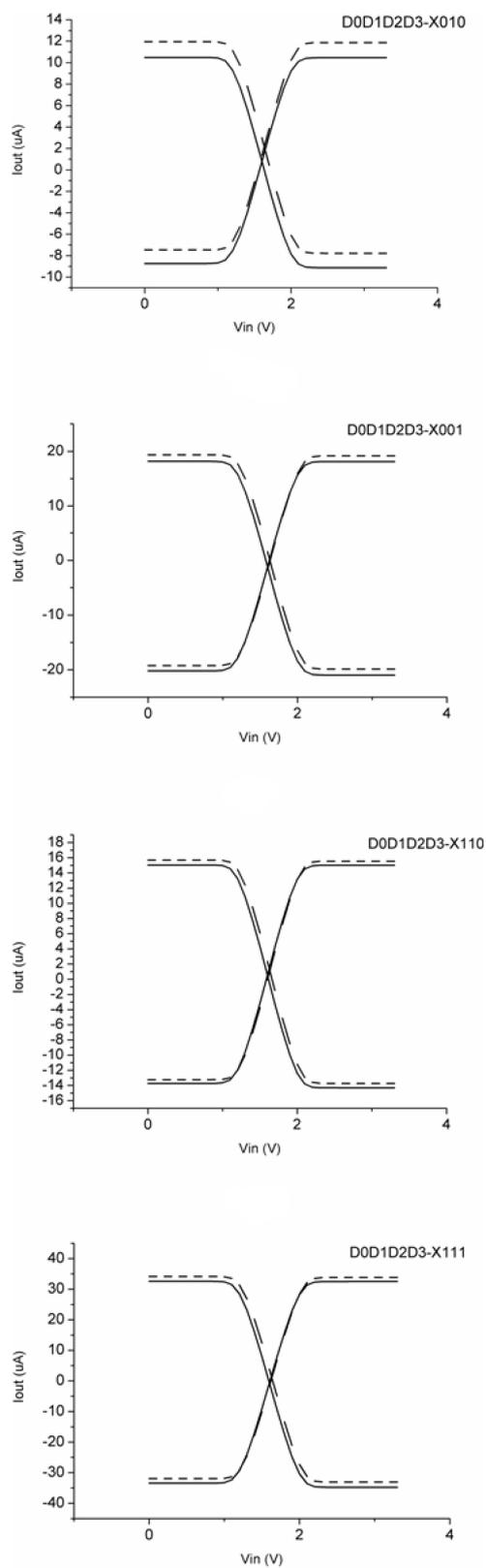


Figura 14 – Corrente de saída simulada (linha contínua) e medida (linha tracejada) para a CNN programável baseada em OTA.

Fonte – Adaptado de (WANG; ZHANG; JIN, 2006).

Na Figura 14 é mostrada a saída em corrente da CNN implementada em (WANG; ZHANG; JIN, 2006) para quatro pesos sinápticos diferentes. A linha contínua representa os resultados de simulação e a linha tracejada representa os resultados dos testes feitos no circuito fabricado.

A diferença de corrente entre os transistores M_{01} e M_{02} , que são iguais e operando em região linear, é dada por:

$$I_{diff} = I_{01} - I_{02} = \beta(V_{in} - V_{ref})V_{DS} \quad (2.14)$$

onde β e V_{DS} são, respectivamente, o parâmetro de transcondutância e a tensão dreno-fonte de M_{01} e M_{02} .

A magnitude da multiplicação dos pesos pela corrente I_{diff} é controlada pelos bits menos significativos D_1 , D_2 e D_3 . Já a polaridade da corrente de saída I_W é controlada pelo bit mais significativo D_0 . No projeto de (WANG; ZHANG; JIN, 2006), os tamanhos dos transistores que geram os pesos foram escolhidos de tal forma que $|I_W| \leq 3,5|I_{diff}|$, sendo a expressão para a corrente de saída dada por:

$$I_W = D_3 \times 2I_{diff} + D_2 \times I_{diff} + D_1 \times \frac{1}{2}I_{diff} \quad (2.15)$$

A principal vantagem da arquitetura desenvolvida em (SANTANA, 2013) em relação àquelas apresentadas em (DOMÍNGUEZ-MATAS et al., 2006) e (WANG; ZHANG; JIN, 2006) é permitir a implementação de pesos sinápticos contínuos, tornando a dinâmica da célula do tipo FSR mais versátil com relação aos ajustes e à função de processamento. Portanto, o projeto da sinapse proposta procurou manter essa característica, operando com sinais contínuos em ambas as entradas.

3 Multiplicador Proposto

Neste capítulo, uma nova topologia para a sinapse da CNN é apresentada e analisada quanto ao funcionamento e critérios de projeto. Para tanto, foi utilizado o modelo ACM (CUNHA; SCHNEIDER; GALUP-MONTORO, 1998) no equacionamento do multiplicador (ver Anexo A), pois o mesmo apresenta menor número de parâmetros, precisão em todas as regiões de operação e simplicidade nos cálculos manuais para dimensionamento do circuito (CUNHA et al., 1997).

3.1 Princípio de operação

Tal como ocorre em (SANTANA; FREIRE; CUNHA, 2012) e resumido na seção 2.2, a função de multiplicação na arquitetura da sinapse proposta é baseada no espelhamento das transcondutâncias de fonte entre os transistores idênticos M_{1X} e M_{1Y} (MACHADO et al., 2009), ambos operando na região de não saturação e compartilhando os terminais de porta e fonte, conforme mostrado na Figura 15(a). Contanto que M_2 permaneça em saturação, a tensão dreno-fonte V_{DS1X} do transistor M_{1X} se mantém constante num valor da ordem de 15 mV, e as transcondutâncias de fonte $g_{ms1X} = g_{ms1Y}$ são proporcionais à soma da corrente de entrada i_{in} com a corrente de polarização I_B . Assumindo que o transistor M_{1Y} opera na região linear, ou seja, no início da região de não saturação, analogamente ao que foi considerado para obtenção da equação (2.6), sua corrente de dreno é dada por:

$$i_{D1Y} = g_{ms1Y} \cdot v'_{in} = \frac{I_B + i_{in}}{V_{DS1X}} v'_{in} \quad (3.1)$$

O bloco de circuito responsável por prover a tensão v'_{in} e capturar a corrente $i_{out} = i_{D1Y} - I_B/2$ através do transistor autopolarizado M_5 é apresentado na Figura 15(b).

Desprezando efeitos de segunda ordem, desde que os transistores M_{3Y} e M_{3W} tenham as mesmas correntes de dreno e razões de aspectos, v'_{in} é uma réplica do potencial no terminal de fonte de M_{3W} (VINCENCE; GALUP-MONTORO; SCHNEIDER, 2000), v_{S3W} , dado que o transistor M_{3Y} opera em saturação. Analogamente, V_{DS1X} é uma réplica de V_{DSA2} . Por sua vez, v_{S3W} é a soma da tensão dreno-fonte com o potencial de fonte de M_{1W} . A tensão de entrada v_{in} é transmitida para o terminal de fonte de M_{1W} por um nó de alta impedância através do par de transistores M_{4W} e M_{4Z} acoplados pelo terminal de fonte (MEAD, 1989), de modo que a equação (3.1) resulta em:

$$i_{D1Y} = g_{ms1Y} \cdot v'_{in} = \frac{(I_B + i_{in})}{V_{DS1X}} (V_{DS1W} + k_n \cdot v_{in}) \quad (3.2)$$

tem dependência direta com as tensões de alimentação $V_{DD} = -V_{SS}$, mas sim com a corrente de polarização I_B . Se a corrente de polarização I_B apresentar elevado grau de independência em relação à fonte de alimentação, a polarização dos transistores M_{1X} e M_{1W} na região de não saturação permanece inalterada, preservando a função de multiplicação em (3.1).

O multiplicador completo de quatro quadrantes proposto neste trabalho, apresentado na Figura 17, resulta do esquema de cancelamento adaptado de (SANTANA, 2013) e mostrado na Figura 16, no qual o sinal de entrada (v_{in} ou i_{in}) é aplicado num único nó. O subtrator de corrente apresentado em (MACHADO et al., 2009) e aplicado em (SANTANA; FREIRE; CUNHA, 2012), mostrado na Figura 8, também foi empregado no bloco correspondente da Figura 17.

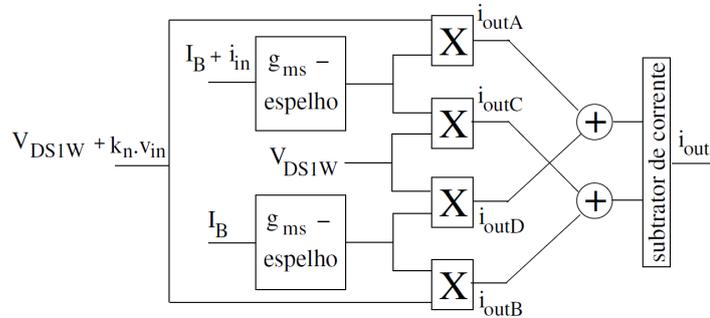


Figura 16 – Esquema de cancelamento para o multiplicador proposto.

Fonte – Adaptado de (SANTANA, 2013).

As saídas em corrente para os núcleos multiplicadores da arquitetura proposta são dadas por:

$$i_{outA} = \frac{I_B + i_{in}}{V_{DS1X}} (V_{DS1W} + k_n \cdot v_{in}) - \frac{I_B}{2} \quad (3.5)$$

$$i_{outB} = \frac{I_B}{V_{DS1X}} (V_{DS1W} + k_n \cdot v_{in}) - \frac{I_B}{2} \quad (3.6)$$

$$i_{outC} = \frac{I_B + i_{in}}{V_{DS1X}} V_{DS1W} - \frac{I_B}{2} \quad (3.7)$$

$$i_{outD} = \frac{I_B}{V_{DS1X}} V_{DS1W} - \frac{I_B}{2} \quad (3.8)$$

Dessa forma, analogamente ao que se obteve em (2.13), a saída do multiplicador proposto é dada por:

$$i_{out} = i_{outA} + i_{outD} - (i_{outB} + i_{outC})$$

$$i_{out} = \frac{k_n}{V_{DS1X}} v_{in} \cdot i_{in} \quad (3.9)$$

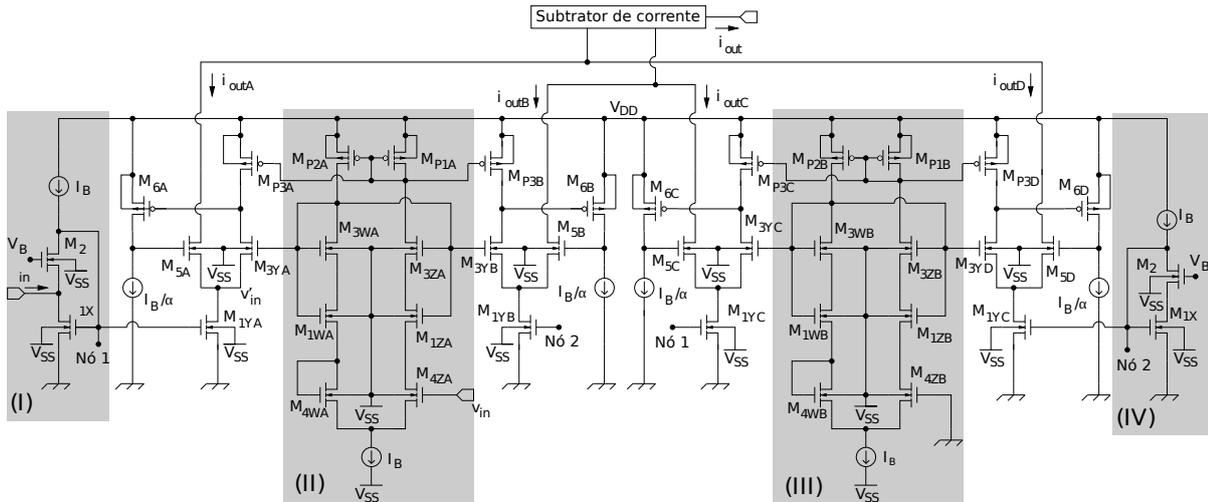


Figura 17 – Multiplicador de quatro quadrantes proposto.

3.2 Compartilhamento de blocos e considerações de projeto

A respeito da aplicação do multiplicador proposto na implementação de sinapses do modelo de célula tipo FSR descrito no capítulo 2, pode-se obter redução do consumo de potência e área ativa da rede completa através do compartilhamento dos blocos destacados na Figura 17. Os blocos III e IV necessários ao esquema de cancelamento só precisam ser alocados uma única vez para todos os multiplicadores da CNN. O bloco I, gerador de peso do modelo invariante no espaço, embora demande um para cada coeficiente da célula, também pode ser compartilhado entre todas as células da CNN. Todas as sinapses que saem da mesma célula em direção às vizinhas compartilham o mesmo bloco de entrada II.

Para fins de simplificação, foram adotados os seguintes critérios para o projeto do multiplicador da Figura 17: $M_{1Xn} \equiv M_{1Yn} \equiv M_{1Wn} \equiv M_{1Zn}$ transistores idênticos, o fator α igual a 2, e a corrente de polarização do transistor M_{5n} igual a $I_B/2$. O dimensionamento apropriado dos transistores M_{5n} e M_{6n} os mantêm em saturação ao longo de toda a excursão do sinal de entrada.

3.3 Geração da corrente de polarização

Conforme visto na seção 2.2, a corrente de polarização implementada em (SANTANA, 2013) é gerada por um circuito constituído de divisor de tensão e espelhos de corrente, mostrado na Figura 9(b). Uma versão simplificada que substitui a associação de transistores por transistores únicos, conforme Figura 18, foi utilizada em (CARDOSO, 2015) e reaproveitada na polarização dos circuitos em (CARDOSO; SCHNEIDER; SANTANA, 2018). No entanto, em ambas as arquiteturas de fonte, a corrente de polarização é muito suscetível às variações da tensão de alimentação.

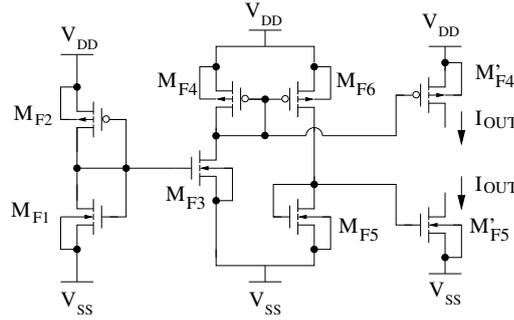


Figura 18 – Circuito de polarização adotado em (CARDOSO, 2015) e (CARDOSO; SCHNEIDER; SANTANA, 2018).

Como as características desejáveis de operação do multiplicador descrita na seção 3.1 dependem de uma corrente de polarização constante, buscou-se implementar uma fonte de corrente autopolarizada (SBCS), caracterizada pela independência da tensão de alimentação, tal como apresentado em (VITTOZ; FELLRATH, 1977), mas em configuração utilizando somente MOSFET's (OGUEY; AEBISCHER, 1997). A versão topológica com resistor para a SBCS presente em (VITTOZ; FELLRATH, 1977) está indicada na Figura 19 e, conforme revisitado em (SCHNEIDER; GALUP-MONTORO, 2010) à luz do modelo ACM, sua corrente de saída I_{OUT} é obtida a partir da conversão de uma tensão de referência PTAT em corrente através do resistor R_S , modelada pela equação:

$$I_{OUT} = \frac{\phi_t}{R_S} \left[\sqrt{1 + \frac{I_{OUT}}{I_{S1}}} - \sqrt{1 + \frac{I_{OUT}}{K \cdot I_{S1}}} + \ln \left(\frac{\sqrt{1 + I_{OUT}/I_{S1}} - 1}{\sqrt{1 + I_{OUT}/(K \cdot I_{S1})} - 1} \right) \right], \quad (3.10)$$

onde K é a razão S_2/S_1 , em que $S_i = (W/L)_i$ é a razão de aspecto do transistor M_i , I_{S1} é a corrente de normalização do transistor M_1 e todos os transistores operam em saturação. Desde que as correntes sobre M_1 e M_2 sejam iguais, a tensão $V_{GS1} - V_{GS2} > 0$ é aplicada ao resistor R_S , e, portanto, $K > 1$ é condição de estabilidade de operação da SBCS.

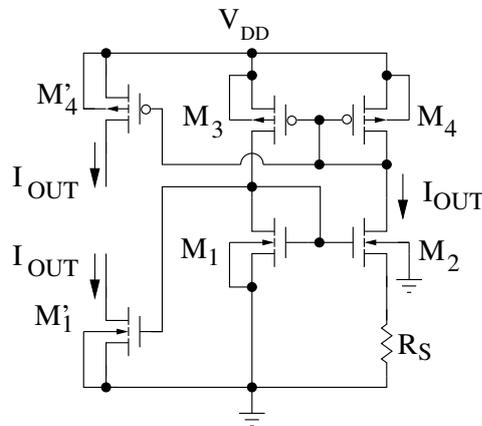


Figura 19 – Circuito de fonte de corrente autopolarizada com resistor.

Fonte – Adaptado de (SCHNEIDER; GALUP-MONTORO, 2010).

A partir da análise da equação (3.10), verifica-se que a corrente de saída da SBCS não tem relação direta com a tensão de alimentação do circuito, ficando independente deste parâmetro, conforme desejado.

Atendo-se ao objetivo de uma implementação somente com transistores, utilizou-se neste trabalho a versão de SBCS descrita em (OGUEY; AEBISCHER, 1997) mostrada na Figura 20. A inspiração presente nesta versão consiste em substituir o resistor R_S por um transistor operando na região linear, representado por M_7 na Figura 20, resultando em uma corrente de saída proporcional à corrente de normalização e que pode operar com baixas tensões de alimentação (SCHNEIDER; GALUP-MONTORO, 2010).

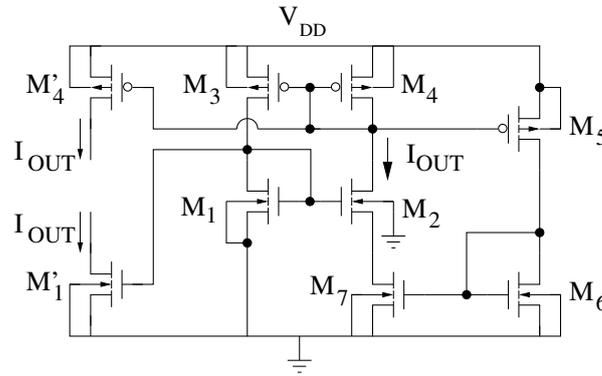


Figura 20 – Circuito de fonte de corrente autopolarizada apenas com transistores.

Fonte – Adaptado de (OGUEY; AEBISCHER, 1997).

Em (SCHNEIDER; GALUP-MONTORO, 2010), o circuito da Figura 20 descrito em (OGUEY; AEBISCHER, 1997) foi analisado com o auxílio do modelo ACM (ver Anexo A), resultando em um comportamento PTAT para o potencial de fonte de M_2 :

$$\frac{V_{S2}}{\phi_t} = \left[\sqrt{1 + i_{f1}} - \sqrt{1 + \frac{i_{f1}}{K}} + \ln \left(\frac{\sqrt{1 + i_{f1}} - 1}{\sqrt{1 + i_{f1}/K} - 1} \right) \right] \approx \ln K \quad (3.11)$$

para a qual permanece a condição $K = S_2/S_1 > 1$, i_{f1} é a corrente normalizada direta do transistor M_1 , e a tensão V_{S2} relaciona-se com a corrente de saída I_{OUT} através da expressão $I_{OUT} = g_{m7} \cdot V_{S2}$. A aproximação indicada na equação (3.11) é válida para o transistor M_1 em regime de inversão fraca, ou seja, $i_{f1} \ll 1$, o que também favorece a operação da fonte de corrente com baixa tensão de alimentação, sendo a mínima tensão de alimentação fornecida por:

$$V_{DD} > \max\{(-V_{GB4} + V_{DSsat2} + V_{S2}), (V_{SDsat5} + V_{GB6})\} \quad (3.12)$$

Ainda em (SCHNEIDER; GALUP-MONTORO, 2010), foi derivada uma expressão aproximada para a corrente de saída I_{OUT} que apresenta uma relação diretamente proporcional à corrente de normalização. Assumindo que o transistor M_7 opera em inversão

moderada ou forte, sendo válida a aproximação $\sqrt{i_{f(r)} + 1} \approx \sqrt{i_{f(r)}}$, tem-se que:

$$I_{OUT} = \mu C'_{ox} n \frac{\phi_t^2}{2} S_7 \left[2J - 1 + 2\sqrt{J(J-1)} \right] \ln^2 K, \quad (3.13)$$

onde $J = S_5 S_7 / (S_4 S_6)$.

Neste trabalho, foi implementada a fonte de corrente da Figura 21 que utiliza associação de transistores para M_3 e M_4 com o objetivo de contornar do erro de espelhamento apresentado entre estes transistores durante as etapas de dimensionamento e simulação.

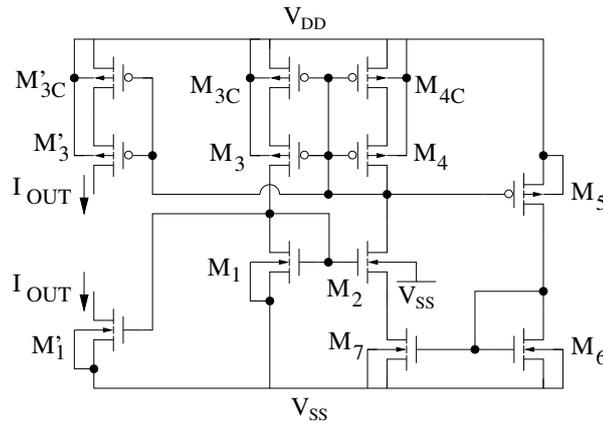


Figura 21 – Circuito da SBCS implementada neste trabalho.

Ressalta-se que no Capítulo 4, para evitar conflito com a representação da corrente de saída do multiplicador proposto, a corrente I_{OUT} das fontes de polarização foi denominada simplesmente por I_B .

4 Resultados

Todos os resultados de simulações doravante apresentados foram obtidos através do simulador ELDO da plataforma para projeto de circuitos integrados da Mentor Graphics Corporation[®], utilizando a tecnologia CMOS Global Foundries 130 nm (comprimento mínimo de canal igual a $0,13 \mu\text{m}$) e utilizando o modelo BSIM 4v4. Para determinar as curvas de erro de linearidade, realizar outras análises numéricas dos dados de simulação e auxiliar no dimensionamento, utilizou-se também o *software* MATLAB[®].

Na Tabela 1 são apresentados os valores numéricos dos principais parâmetros do modelo ACM extraídos para a tecnologia CMOS GF 130nm que foram utilizados no dimensionamento dos transistores.

Tabela 1 – Parâmetros do modelo ACM extraídos para a tecnologia CMOS adotada

Parâmetro	NMOS	PMOS	Unidade
n	1,379	1,295	-
V_T	0,362	-0,356	V
I_{SQ}	353,4	49,51	nA

Na Tabela 2 são apresentados os valores nominais da tensão de alimentação e da temperatura utilizados durante a simulação. O circuito multiplicador proposto foi dimensionado para uma corrente de polarização I_B igual a 500 nA. Conforme será indicado nas seções específicas a seguir, algumas simulações foram realizadas assumindo valores diferentes daqueles indicados na Tabela 2 visando avaliar a robustez do circuito à variação desses parâmetros.

Tabela 2 – Valores nominais dos parâmetros de simulação

Descrição	Valor	Unidade
<i>Temperatura</i>	27	°C
ϕ_t	25	mV
V_{DD}	0,6	V
V_{SS}	-0,6	V

4.1 Fonte de Corrente Autopolarizada

Os circuitos das Figuras 18 e 21 foram simulados levando em conta a variação da tensão de alimentação, visando comparar a estabilidade da corrente de polarização gerada em ambas as fontes. Verifica-se para a corrente de saída apresentada nas Figuras 22 (a) e (b), conforme esperado, que a fonte autopolarizada utilizada na implementação do

multiplicador apresenta maior robustez em relação às variações da tensão de alimentação e temperatura. Embora seja esperado um comportamento PTAT para a fonte de corrente SBCS (SCHNEIDER; GALUP-MONTORO, 2010), o resultado de simulação indicado na Figura 22(b) revela um comportamento do tipo complementar à temperatura absoluta (CTAT). Uma possível causa para o comportamento observado deve-se ao fato de a tecnologia a GF 130 nm utilizar *halo implants* (IBM, 2010), o que reduz a tensão de limiar e influencia a dependência da mobilidade efetiva com a temperatura. As razões de aspecto e nível de inversão dos transistores utilizados nos circuitos de polarização são apresentadas na Tabela 3.

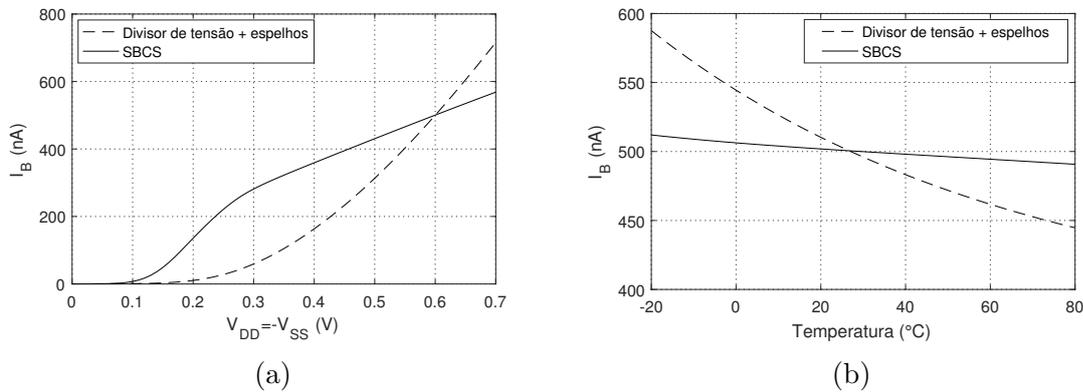


Figura 22 – Corrente de saída simulada para os circuitos de polarização em função de (a) variação da tensão de alimentação e (b) variação da temperatura.

Tabela 3 – Razões de aspecto dos transistores dos circuitos de polarização

Tipo de fonte	Transistor	W/L ($\mu\text{m}/\mu\text{m}$)	i_f
Divisor de tensão e espelhos de corrente (Figura 18)	M_{F1}	1,21/0,60	2,20
	M_{F2}	0,60/7,50	396
	$M_{F3}, M_{F5}, M'_{F5}, M_{F7}$	0,60/3,63	8,56
	M_{F4}, M'_{F4}, M_{F8}	2,86/0,60	2,12
	M_{F6}	2,36/0,60	2,57
SBCS (Figura 21)	M_1, M'_1	0,50/3,53	10,0
	M_2	50,00/0,50	$14,2 \times 10^{-2}$
	M_3, M'_3, M_4	30,00/0,50	$16,8 \times 10^{-1}$
	M_{3C}, M'_{3C}, M_{4C}	2,00/0,50	2,52
	M_5	15,05/0,50	3,69
	M_6	0,50/5,00	148
	M_7	0,50/31,20	148

A tensão mínima de operação da fonte SBCS (para a qual a razão da variação da corrente I_B pela variação da tensão de alimentação é praticamente constante) obtida por simulação foi de $V_{DD} = -V_{SS} = 0,28$ V. Considerando o intervalo de 0,28 V a 0,70 V para a tensão de alimentação, o valor máximo do parâmetro sensibilidade em relação à tensão de alimentação para a fonte SBCS foi de 0,71 nA/mV; já para a fonte com divisor de

tensão o resultado foi de 2,22 nA/mV, cerca de três vezes maior. O ponto de cruzamento entre as curvas da Figura 22(a) se dá em torno do valor nominal da tensão das fontes de alimentação (Tabela 2).

Classicamente, a sensibilidade de um parâmetro y em relação a um parâmetro x é definida como $S_x^y = \frac{\partial y/y}{\partial x/x}$, mas neste trabalho optou-se pela simplificação do conceito para $S_x^y = \frac{dy}{dx}$, haja vista que a relação dos parâmetros analisados apresenta comportamento afim na faixa de operação do circuito.

Na Figura 23 é apresentado o resultado de simulação do potencial do terminal de fonte do transistor M_2 da fonte SBCS com relação à variação de temperatura, corroborando o comportamento PTAT indicado em (3.11).

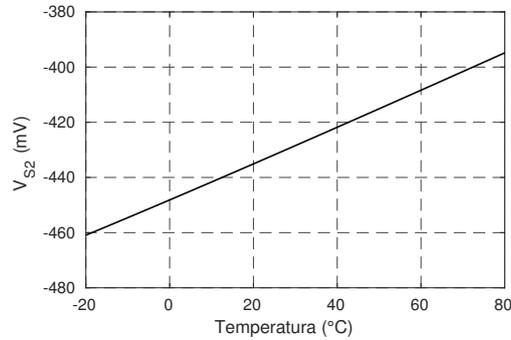


Figura 23 – Simulação de V_{S2} com a variação de temperatura.

4.2 Multiplicador Proposto

O multiplicador proposto apresentado na Figura 17 e polarizado pela SBCS da Figura 21 foi simulado para diferentes condições de entrada e variação de parâmetros. As razões de aspecto e níveis de inversão dos transistores no ponto de operação do multiplicador são apresentados na Tabela 4.

Tabela 4 – Razões de aspecto e níveis de inversão dos transistores do multiplicador

Transistor	W / L ($\mu m/\mu m$)	i_f
M_{1X} , $M_{1Y(A)(B)(C)(D)}$, $M_{1W(A)(B)}$, $M_{1Z(A)(B)}$	0,95/1,50	1,12
M_2	10,00/1,50	$2,12 \times 10^{-1}$
$M_{3W(A)(B)}$, $M_{3Z(A)(B)}$, $M_{3Y(A)(B)(C)(D)}$	3,00/0,60	$1,41 \times 10^{-1}$
$M_{4W(A)(B)}$, $M_{4Z(A)(B)}$	10,59/0,60	$4,01 \times 10^{-2}$
$M_{5(A)(B)(C)(D)}$	2,00/0,60	$2,12 \times 10^{-1}$
$M_{6(A)(B)(C)(D)}$	7,50/1,50	1,01
$M_{P1(A)(B)}$, $M_{P2(A)(B)}$, $M_{P3(A)(B)(C)(D)}$	60,00/0,30	$2,52 \times 10^{-2}$

4.2.1 Características DC sem Variação de Parâmetros

Nas Figuras 24 e 25 são mostradas as características DC no multiplicador proposto para a entrada em modo corrente e, respectivamente, para a entrada em modo tensão, juntamente aos seus erros de linearidade, simulados com os valores nominais dos parâmetros da Tabela 2. A amplitude do erro de linearidade para a entrada em corrente é menor do que para a entrada em tensão, embora o comportamento do erro de linearidade relativo à entrada em corrente seja mais irregular. O comportamento do erro de linearidade relativo à entrada em tensão demonstra haver um desvio de v_{in} em torno do valor zero também denominado *offset*.

Para fins de comparação com os multiplicadores implementados em (SANTANA, 2013) e (CARDOSO; SCHNEIDER; SANTANA, 2018), as características DC e os respectivos erros de linearidade foram extraídos para a mesma faixa de valores e estão apresentados nas Figuras 26 e 27, respectivamente. Nota-se que, nas mesmas condições, o multiplicador proposto apresenta menor erro de linearidade.

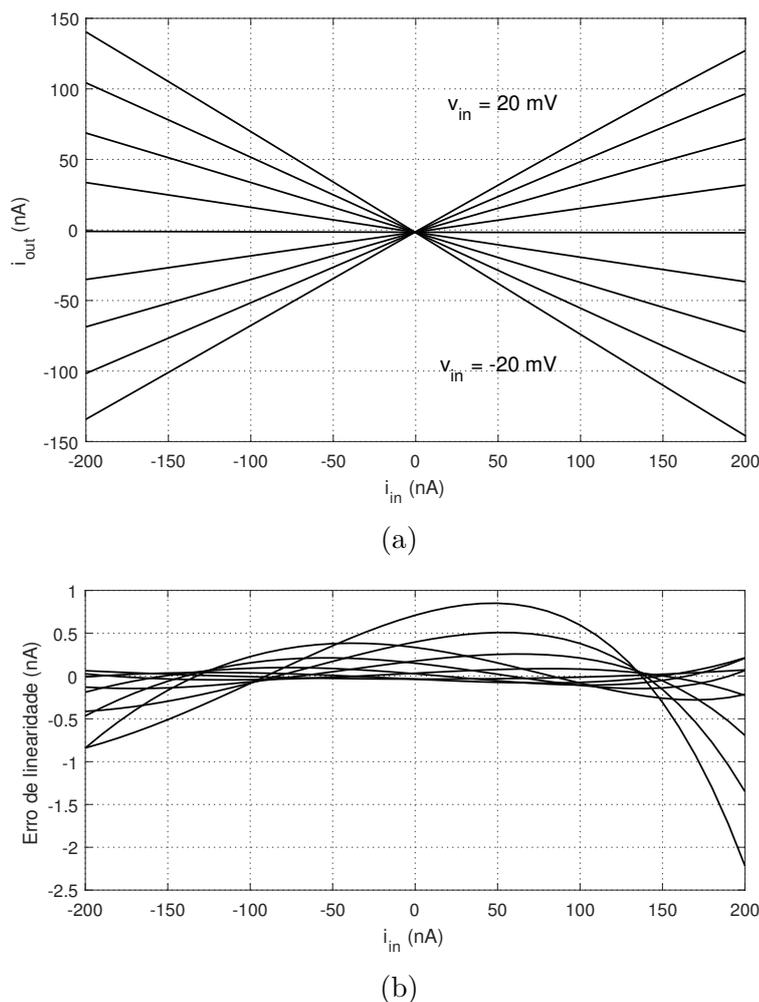


Figura 24 – (a) Característica DC de $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV; (b) Erro de linearidade correspondente.

O circuito multiplicador implementado em (CARDOSO; SCHNEIDER; SANTANA, 2018) é o mesmo da Figura 17, com a ressalva de ser polarizado pela fonte indicada na Figura 18. Ressalta-se que a implementação com a fonte autopolarizada (SBCS) é aquela que fornece o menor erro de linearidade, principalmente para a entrada em corrente.

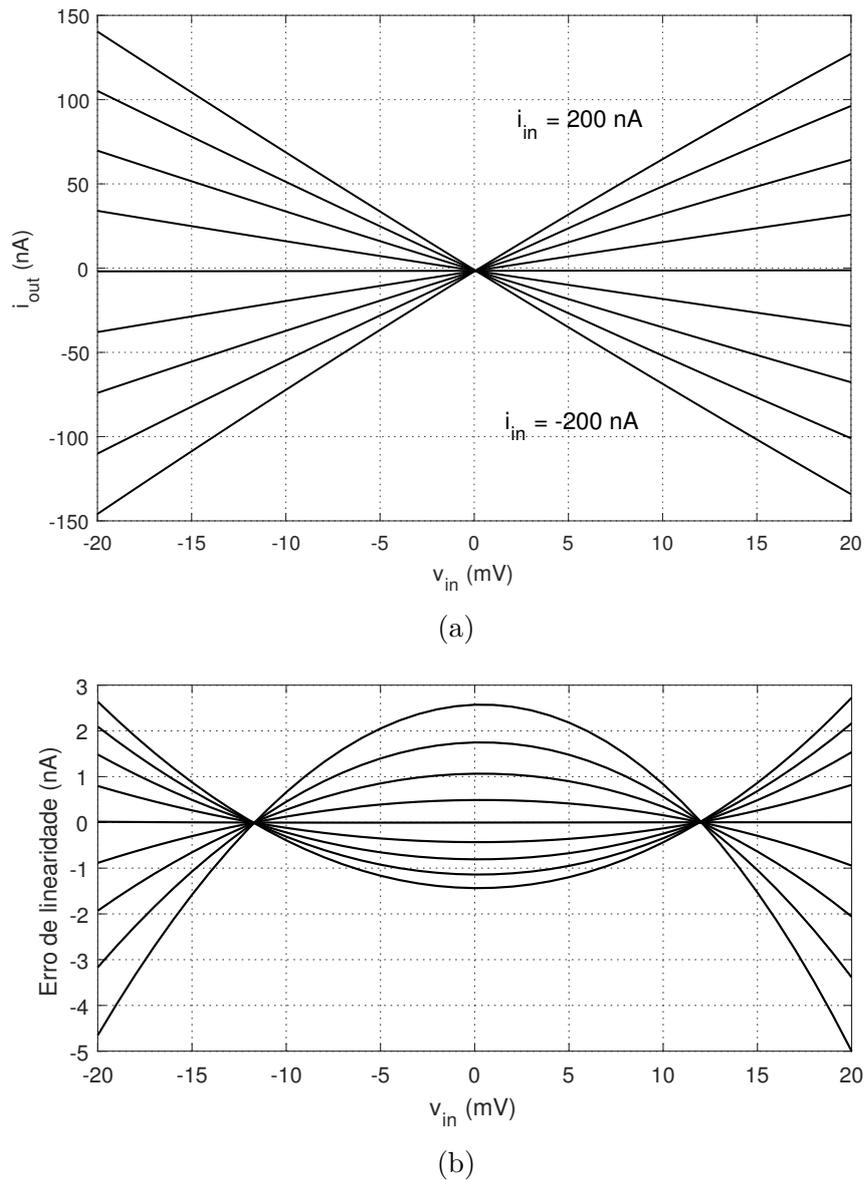


Figura 25 – (a) Característica DC de $i_{out} \times v_{in}$ no multiplicador proposto, com i_{in} variando em passos de 50 nA; (b) Erro de linearidade correspondente.

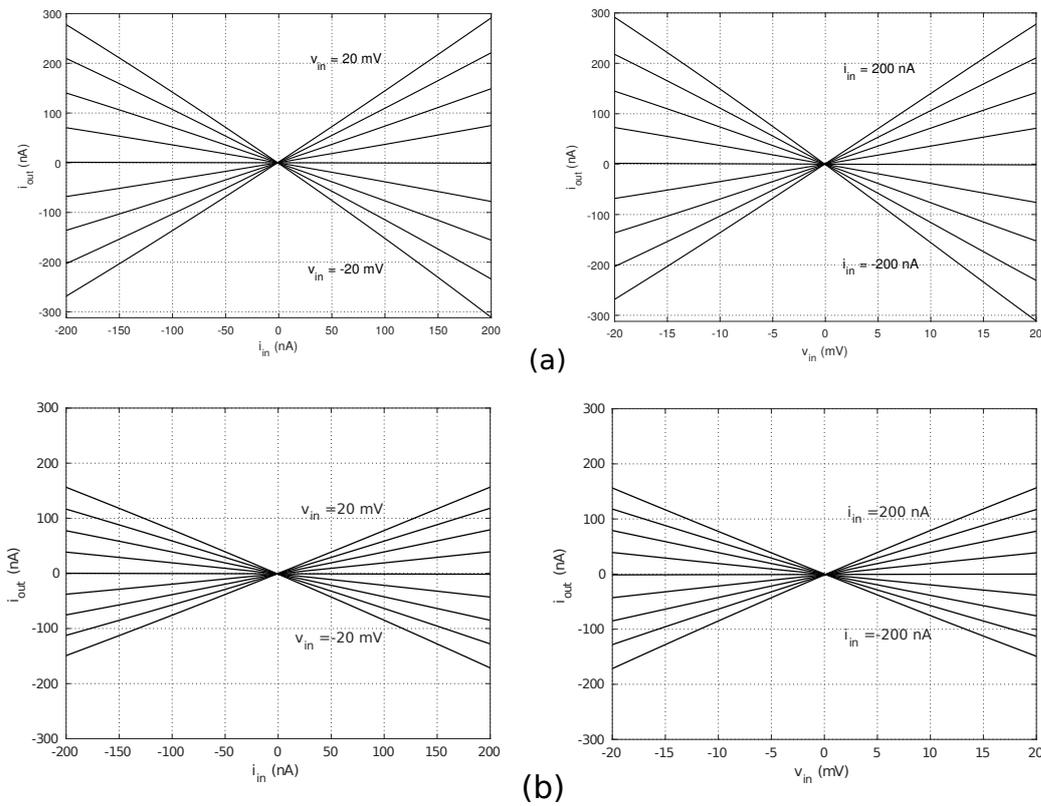


Figura 26 – Características DC do multiplicador em (a) (SANTANA, 2013) e (b) (CARDOSO; SCHNEIDER; SANTANA, 2018).

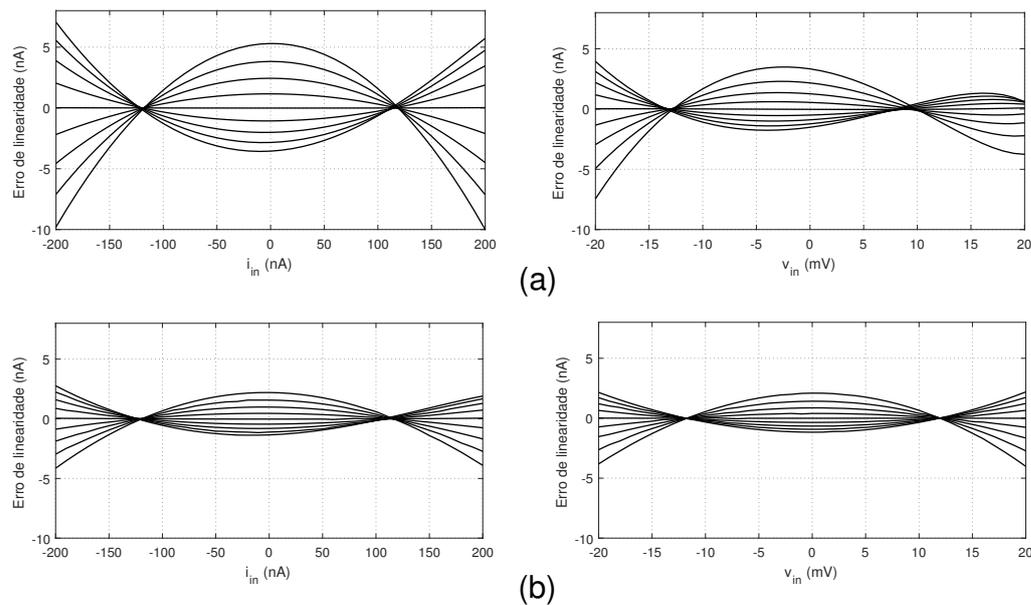


Figura 27 – Erros de linearidade das características DC em (a) (SANTANA, 2013) e (b) (CARDOSO; SCHNEIDER; SANTANA, 2018).

4.2.2 Características DC com a Variação da Tensão de Alimentação

Visando avaliar o comportamento do multiplicador proposto em relação à variação da tensão de alimentação, corroborando a análise presente no Capítulo 3, foram realizadas as simulações DC apresentadas na Figura 28 e o correspondente erro de linearidade avaliado para cada curva é apresentado na Figura 29.

A escolha de apresentação apenas da corrente de saída em função da entrada em corrente se deve ao fato de esta configuração ser a condição em que há maior alteração do erro de linearidade com a variação da tensão de alimentação, conforme foi verificado após as simulações.

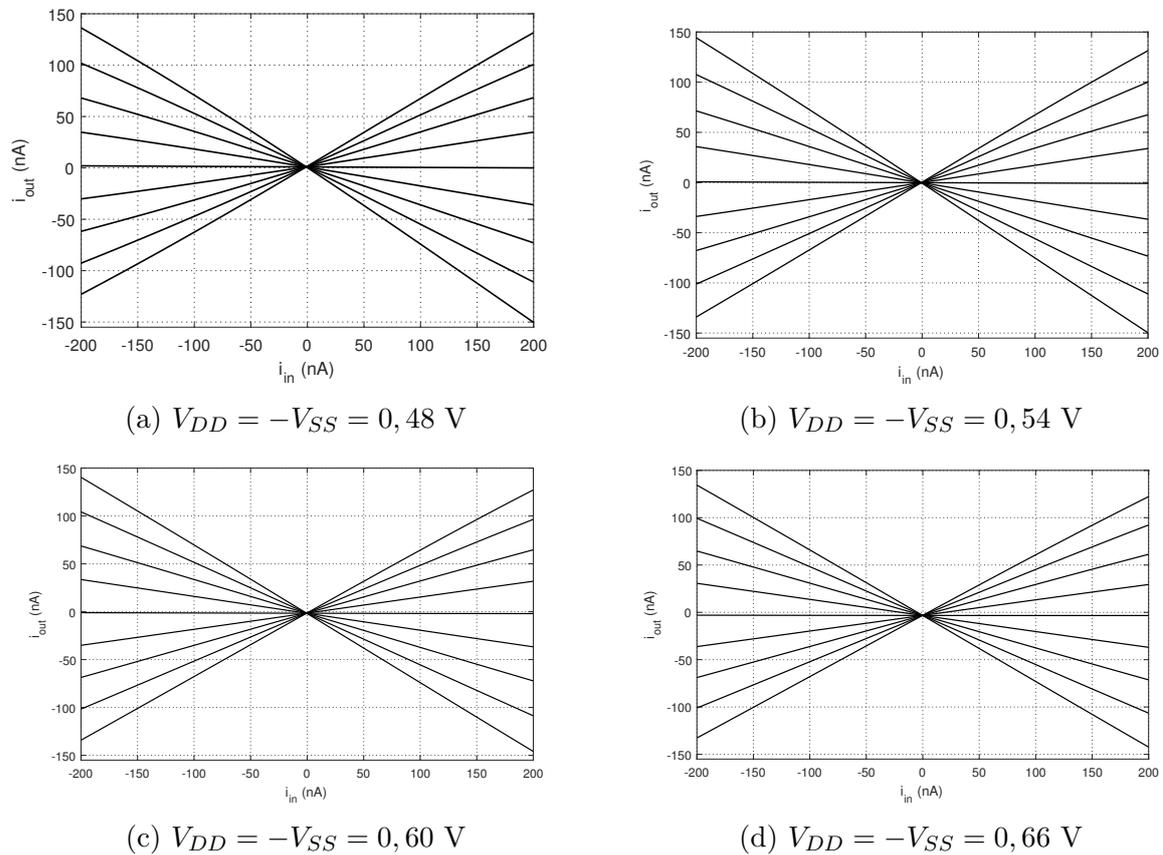


Figura 28 – Características DC $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores da tensão de alimentação.

Depreende-se das Figuras 29 e 28 que não houve alterações significativas nas curvas características do multiplicador proposto em diferentes valores de tensão de alimentação, e que o erro de linearidade, no pior caso relativo à tensão de alimentação $V_{DD} = -V_{SS} = 0,48 \text{ V}$, ficou limitado a 3% do valor de fundo de escala da corrente de saída.

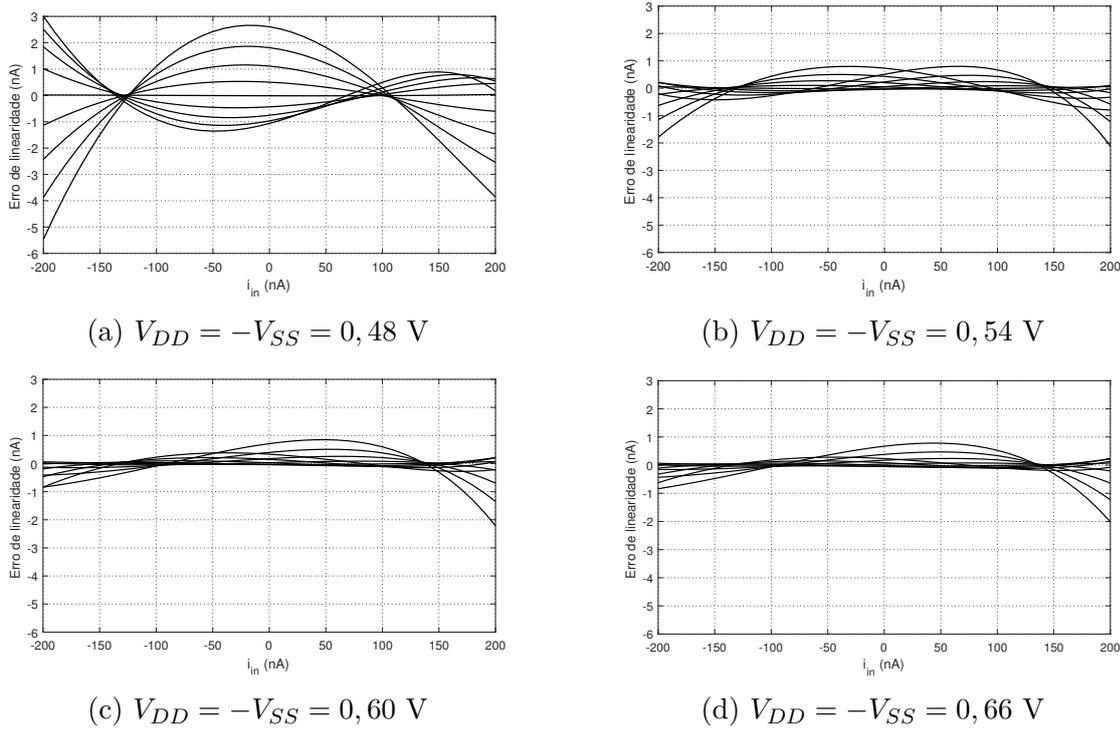


Figura 29 – Erro de linearidade nas características DC $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores da tensão de alimentação.

4.2.3 Comparação com as Características DC de Outras Implementações quanto à Variação da Tensão de Alimentação

Para comparar o efeito da variação da tensão de alimentação nos multiplicadores implementados em (SANTANA, 2013) e (CARDOSO; SCHNEIDER; SANTANA, 2018) com o deste trabalho, foram realizadas simulações DC da corrente de saída e da tensão v'_{in} em função da tensão de entrada v_{in} para diferentes valores de $V_{DD} = -V_{SS}$, mostradas nas Figuras 30 a 32. No caso da corrente de saída, a máxima sensibilidade em relação à variação da tensão de alimentação foi de 82 nA/V para o multiplicador proposto, 136 nA/V para (CARDOSO; SCHNEIDER; SANTANA, 2018) e 2.849 nA/V para (SANTANA, 2013). Nas Figuras 32 (a) e (b), para os valores mais baixos de $V_{DD} = -V_{SS}$, evidencia-se que o multiplicador de (SANTANA, 2013) perde o comportamento linear da curva característica e o comportamento afim da transferência de tensão para valores mais elevados da tensão de entrada. Tal efeito decorre do fato de o transistor M_{3C} na Figura 5 deixar de operar na região de saturação.

O erro máximo de linearidade das curvas características do multiplicador proposto observado para os diferentes valores de tensão de alimentação é apresentado na Figura 33.

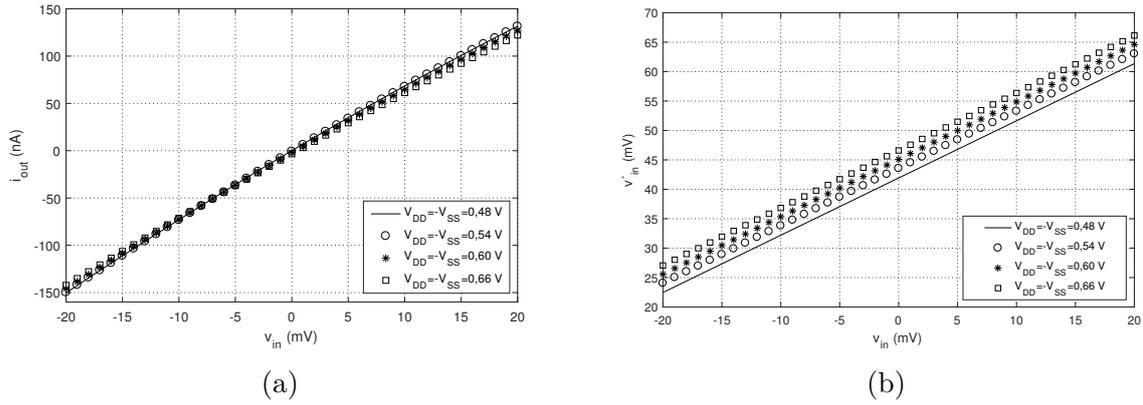


Figura 30 – Curvas características simuladas no multiplicador proposto, sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA e tensão de alimentação variando em passos de 60 mV.

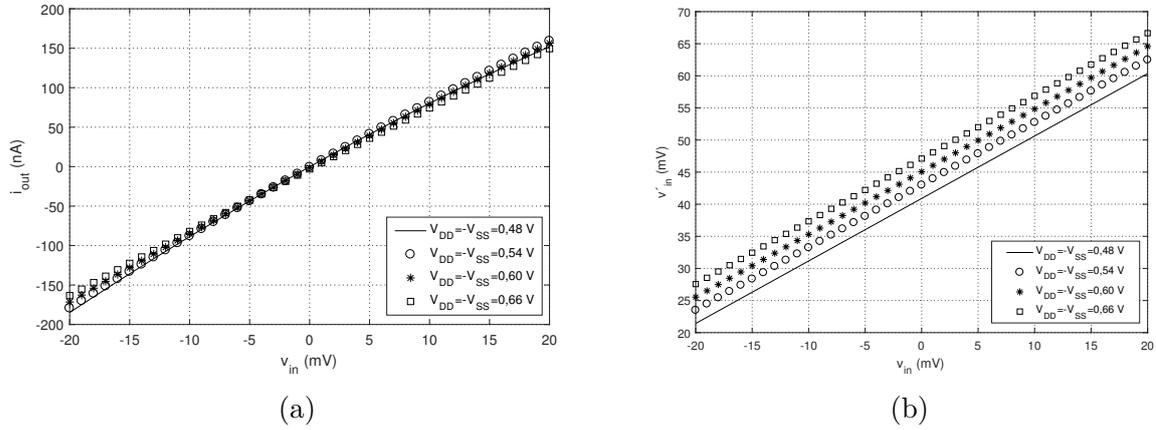


Figura 31 – Curvas características simuladas no multiplicador de (CARDOSO; SCHNEIDER; SANTANA, 2018), sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA e tensão de alimentação variando em passos de 60 mV.

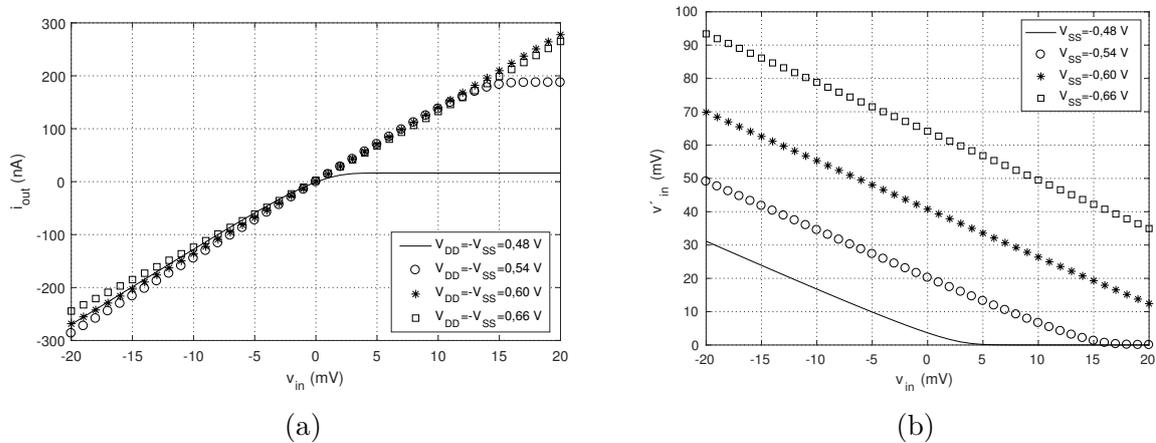


Figura 32 – Curvas características simuladas no multiplicador de (SANTANA, 2013), sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA e tensão de alimentação variando em passos de 60 mV.

Na Tabela 5 são apresentados os coeficientes calculados ao se aplicar regressão linear pelo método dos mínimos quadrados às curvas de $v'_{in} \times v_{in}$, possibilitando estipular os valores das constantes em (2.7) e (3.2).

Tabela 5 – Coeficientes das retas que melhor ajustam as características $v'_{in} \times v_{in}$ obtidas por simulação.

Tensão de Alimentação $V_{DD} = -V_{SS}$ (V)	Coeficientes da melhor reta $v'_{in} = a.v_{in} + b$					
	$a = k k_n$			$b = V_{IDC} V_{DS1W}$ (mV)		
	MT1*	MT2†	Proposto	MT1*	MT2†	Proposto
0,48	-0,8054	0,9730	0,9725	8,8	40,9	41,9
0,54	-1,3196	0,9749	0,9747	21,2	43,0	43,5
0,60	-1,4411	0,9761	0,9760	40,9	45,1	45,1
0,66	-1,4631	0,9771	0,9771	64,2	47,1	46,6

*MT1 equivale ao multiplicador implementado em (SANTANA, 2013)

†MT2 equivale ao multiplicador implementado em (CARDOSO; SCHNEIDER; SANTANA, 2018)

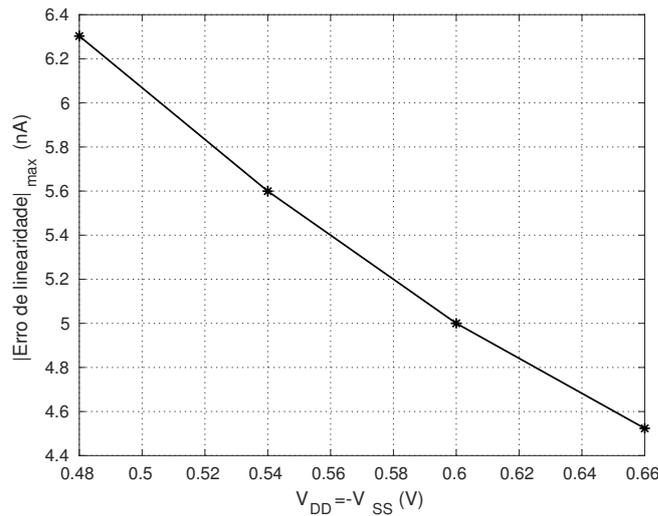


Figura 33 – Erro máximo absoluto de linearidade das características $i_{out} \times v_{in}$ com i_{in} constante igual ao fundo de escala positivo, em função da tensão de alimentação $V_{DD} = -V_{SS}$.

4.2.4 Variação Assimétrica da Tensão de Alimentação

Simulações de ponto de operação revelaram que no multiplicador proposto a corrente sobre a fonte de tensão V_{DD} atinge $6 \mu\text{A}$ a mais que a corrente sobre a fonte V_{SS} . Destarte, a alimentação do circuito multiplicador proposto com baterias em série, por exemplo, poderia levar a uma situação de variação assimétrica entre V_{DD} e V_{SS} . Visando testar esse efeito, as simulações da seção 4.2.3 foram refeitas para o multiplicador proposto considerando a variação de apenas uma das fontes de alimentação por vez. Os resultados obtidos são apresentados nas Figuras 34 e 35.

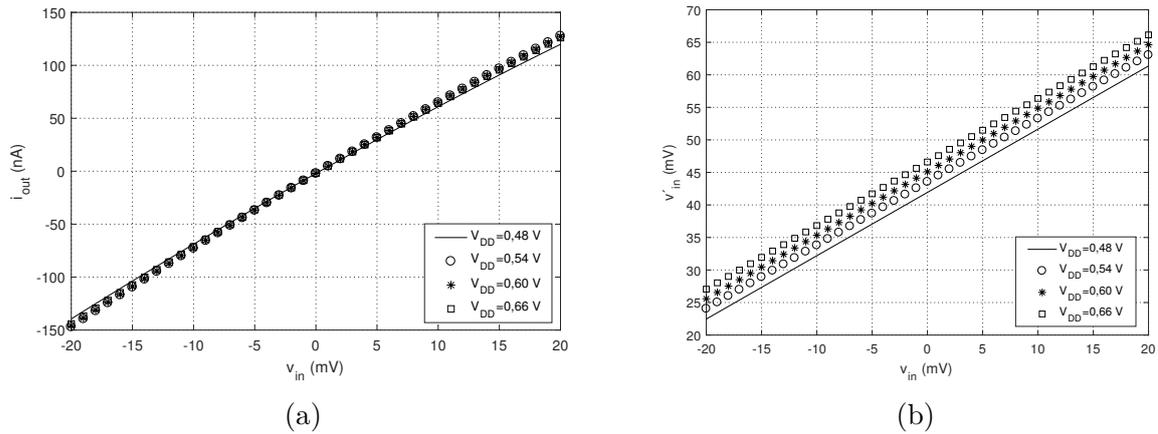


Figura 34 – Curvas características simuladas no multiplicador proposto, sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA, $V_{SS} = -0,6$ V e V_{DD} variando em passos de 60 mV.

A máxima sensibilidade da corrente de saída em relação à variação da tensão de alimentação V_{DD} com um valor fixo de $V_{SS} = -0,6$ V foi de 130 nA/V. Já a máxima sensibilidade em relação à variação da tensão de alimentação V_{SS} com um valor fixo de $V_{DD} = 0,6$ V foi de 62 nA/V. Comparando as Figuras 34 e 35 evidencia-se que as variações na tensão V_{SS} afetam mais o circuito do que as variações na tensão V_{DD} . Assim, as características de $v'_{in} \times v_{in}$ para variações de V_{SS} foram muito pouco afetadas, enquanto que as mesmas apresentaram considerável dispersão para variações de V_{DD} . Esta diferença de comportamento não é observada de forma tão pronunciada no caso das características $i_{out} \times v_{in}$ porque o circuito responsável por capturar a corrente de saída está diretamente ligado apenas à fonte de alimentação V_{DD} .

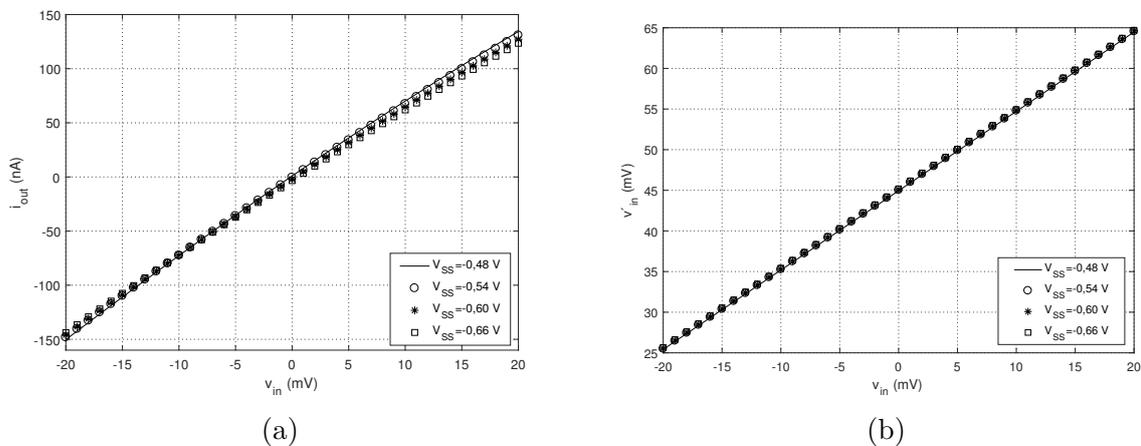


Figura 35 – Curvas características simuladas no multiplicador proposto, sendo: (a) $i_{out} \times v_{in}$ e (b) $v'_{in} \times v_{in}$, ambos com $i_{in} = 200$ nA, $V_{DD} = 0,6$ V e V_{SS} variando em passos de 60 mV.

4.2.5 Resposta em Frequência

As respostas em frequência do ganho em relação a cada uma das entradas do multiplicador proposto, com a outra fixada num valor constante, são apresentadas na Figura 36 e foram obtidas a partir da simulação AC (sendo $v_{in} = 20$ mV na Figura 36(a) e $i_{in} = 200$ nA na Figura 36(b) e a outra entrada excitada por uma fonte AC). A banda de passagem para a entrada em corrente como sinal AC foi de 5,9 MHz e para a entrada em tensão como sinal AC foi de 7,7 MHz, ambas considerando o critério de -3 dB de atenuação. Nota-se que a tensão de alimentação não interferiu significativamente na banda de passagem, mas alterou a contribuição dos pólos no sobressalto próximo da frequência de corte.

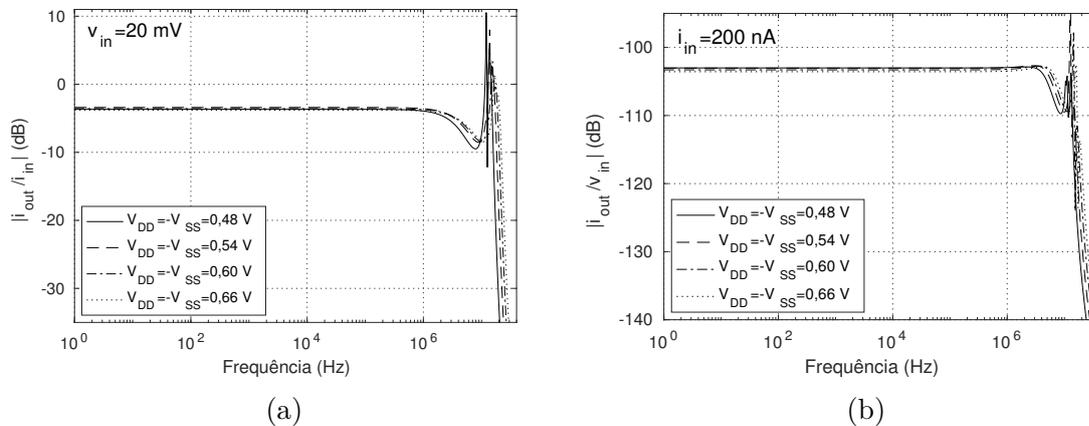


Figura 36 – Resposta em frequência do multiplicador proposto para: (a) sinal AC na entrada em corrente com entrada em tensão $v_{in} = 20$ mV e (b) sinal AC na entrada em tensão com entrada em corrente $i_{in} = 200$ nA.

4.2.6 Resposta no Domínio do Tempo

Na Figura 37 é apresentado o resultado da operação do multiplicador como modulador em amplitude através de análise no domínio do tempo usando duas fontes senoidais como sinal de entrada: $i_{in} = 100$ nA_{p-p}/10 kHz e $v_{in} = 15$ mV_{p-p}/1 kHz.

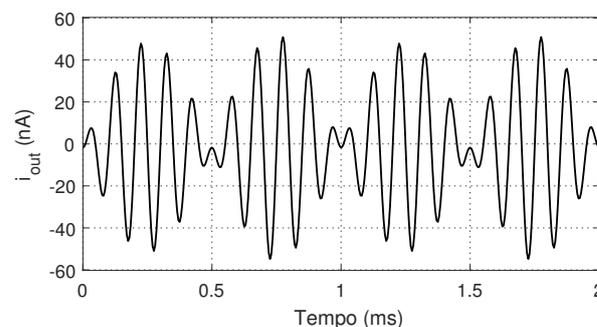


Figura 37 – Simulação no domínio do tempo do multiplicador proposto para as entradas senoidais $i_{in} = 100$ nA_{p-p}/10 kHz e $v_{in} = 15$ mV_{p-p}/1 kHz.

4.2.7 Distorção Harmônica Total

Com o objetivo de complementar a avaliação da linearidade do multiplicador proposto em relação a cada uma de suas entradas, obteve-se o coeficiente de distorção harmônica total (THD) através de simulação no domínio do tempo considerando os seguintes cenários:

- entrada em corrente constante $i_{in} = 200$ nA e entrada em tensão senoidal de 1 kHz e amplitude V_m variando de 2 a 20 mV;
- entrada em tensão constante $v_{in} = 20$ mV e entrada em corrente senoidal de 1 kHz e amplitude I_m variando de 20 a 200 nA.

Para a escolha dos cenários, levou-se em conta a faixa de amplitude das entradas simulada na seção 4.2.1 e uma frequência de referência dentro da banda de passagem do multiplicador proposto.

Na Figura 38 são ilustrados os resultados obtidos e nota-se que o parâmetro THD é menor que -31 dB para toda a faixa de amplitude da tensão da entrada, e menor que -41 dB para toda a faixa de amplitude da corrente de entrada.

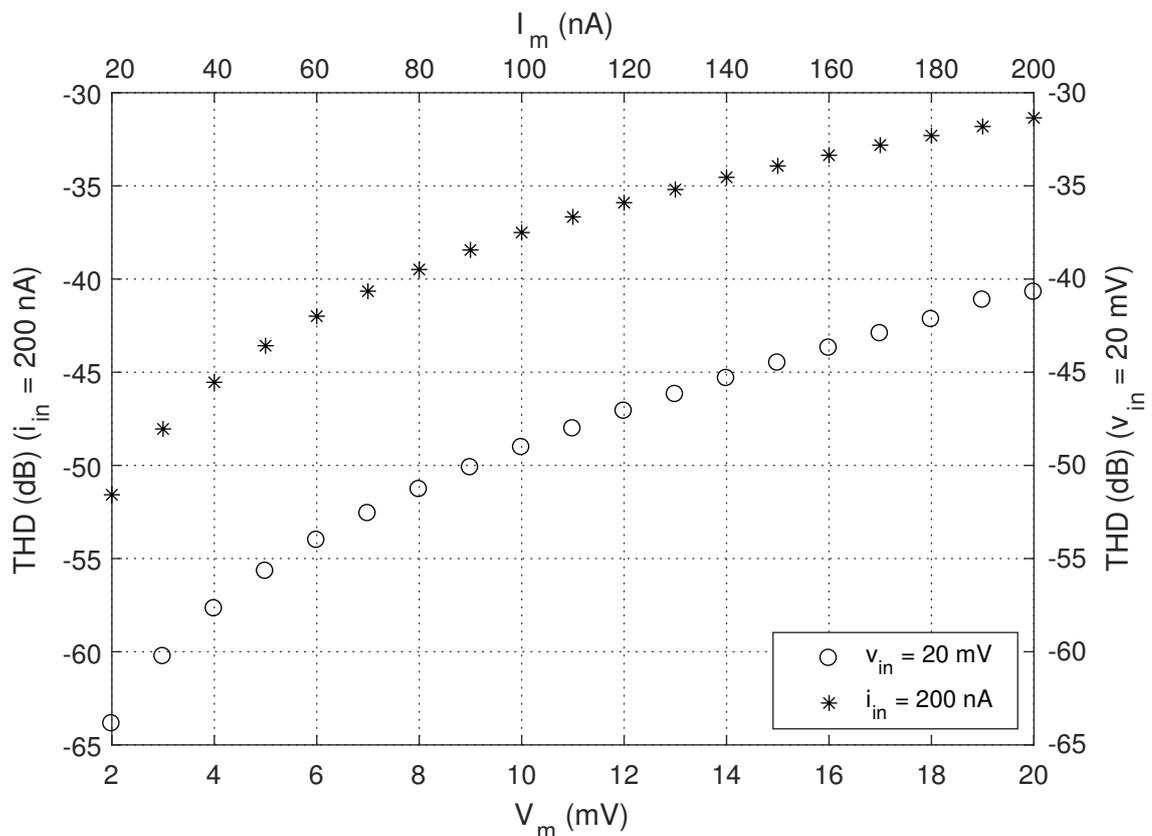


Figura 38 – Distorção harmônica total do multiplicador proposto para: $i_{in} = 200$ nA / $v_{in} = V_m \text{sen}(2\pi 10^3 t)$ e $v_{in} = 20$ mV / $i_{in} = I_m \text{sen}(2\pi 10^3 t)$.

4.2.8 Análise com Relação à Variação de Temperatura

O resultado de simulação da tensão v'_{in} com relação à variação de temperatura na faixa estabelecida entre -20° e 80° C é apresentado na Figura 39, exibindo um comportamento não linear, porém com menor variação em relação ao comportamento previsto na equação (3.3) devida à compensação promovida pelo efeito complementar verificado na corrente de polarização I_B na Figura 22(b).

Para avaliar o comportamento da corrente de saída do multiplicador proposto em relação à variação da temperatura de operação, foram realizadas as simulações DC apresentadas nas Figuras 40 e 42, bem como foi avaliado o erro de linearidade correspondente a cada curva conforme mostrado nas Figuras 41 e 43, respectivamente.

Verifica-se a partir das Figuras 40 a 43 que não houve alterações significativas nas curvas características do multiplicador proposto para as diferentes condições de temperatura simuladas, e que o erro de linearidade, no pior caso, que corresponde às características $i_{out} \times v_{in}$ à temperatura de -20° C, ficou limitado a 4% do fundo de escala positivo da corrente de saída.

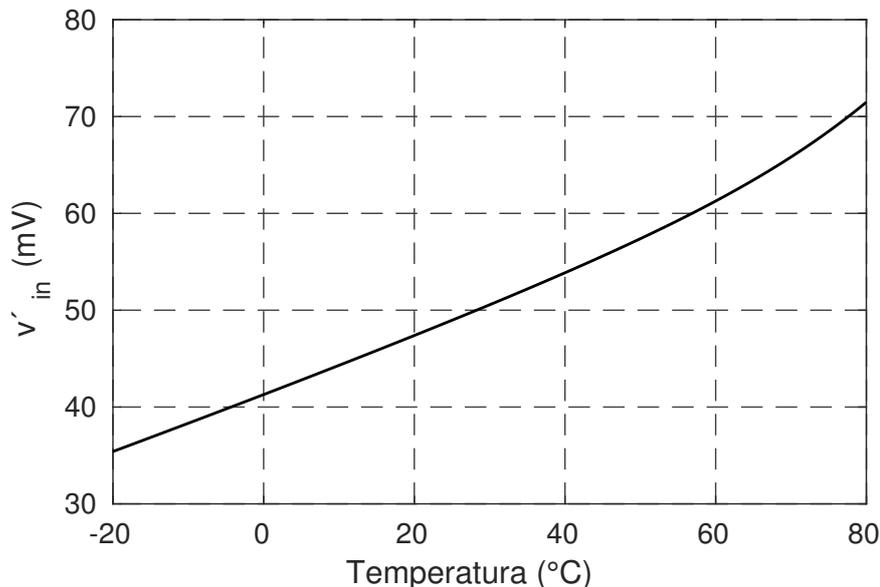


Figura 39 – Simulação de v'_{in} com a variação de temperatura.

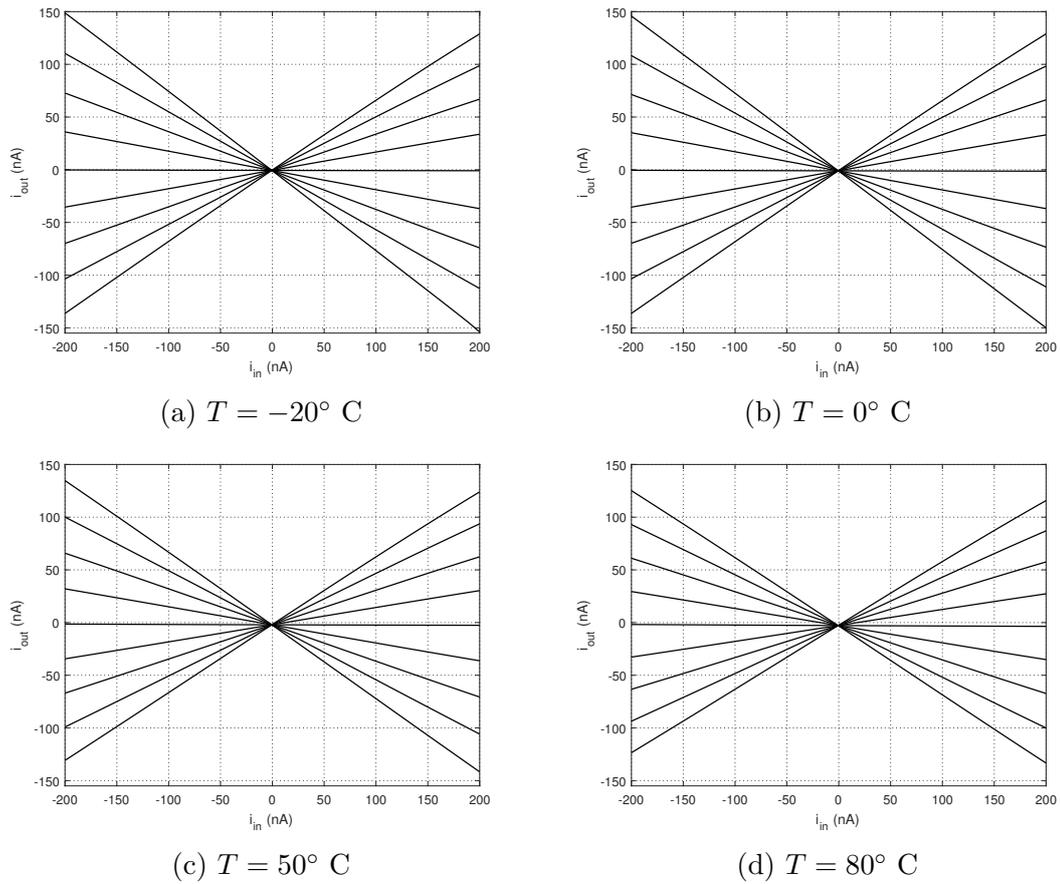


Figura 40 – Características DC $i_{out} \times i_{in}$ no multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores de temperatura.

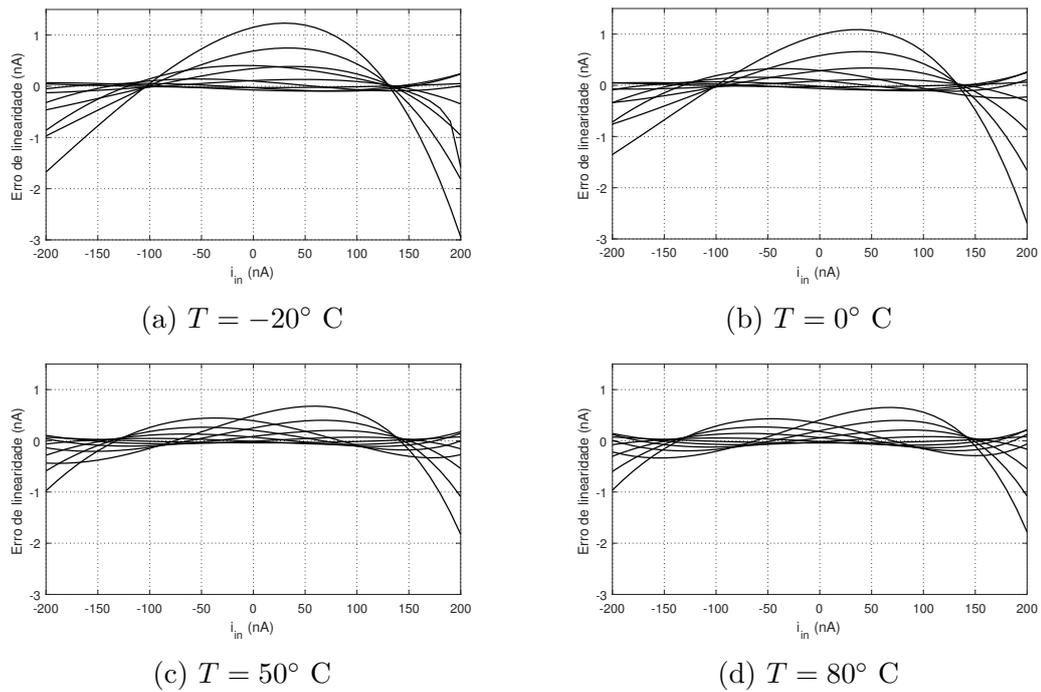


Figura 41 – Erro de linearidade nas características DC $i_{out} \times i_{in}$ do multiplicador proposto, com v_{in} variando em passos de 5 mV e para diferentes valores de temperatura.

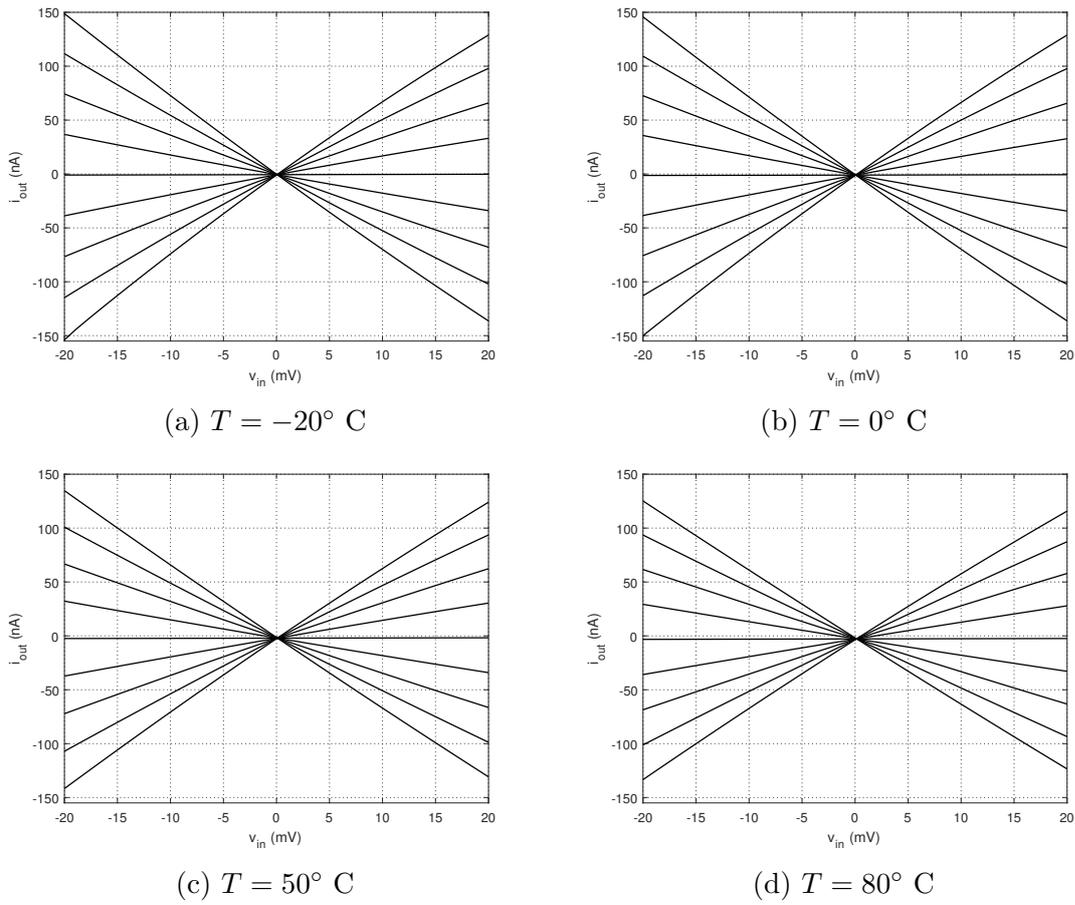


Figura 42 – Características DC $i_{out} \times v_{in}$ no multiplicador proposto, com i_{in} variando em passos de 50 nA e para diferentes valores de temperatura.

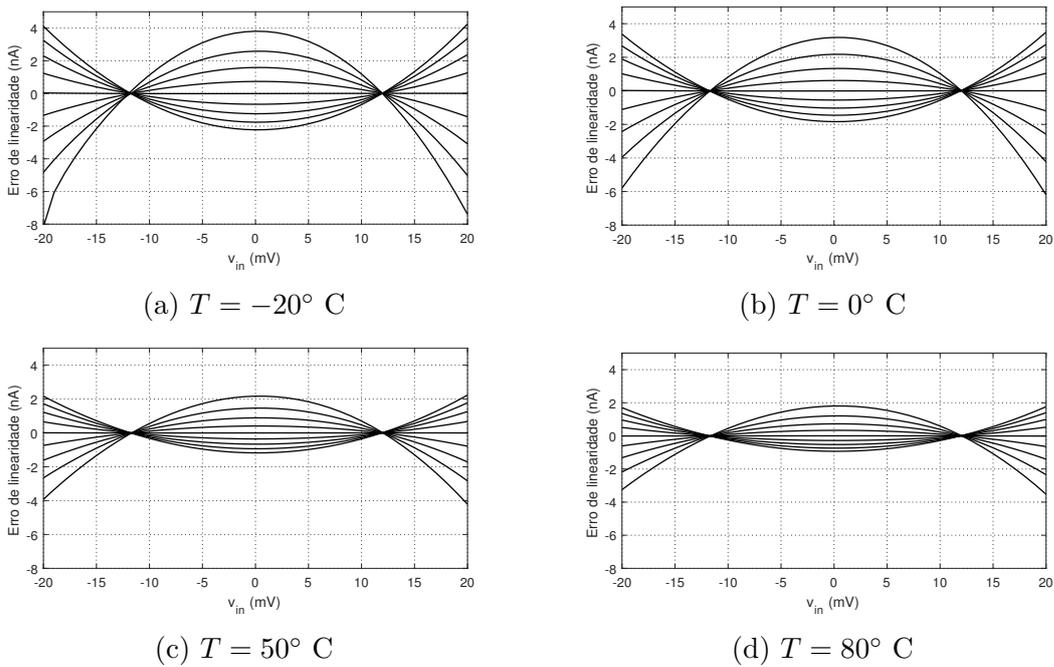


Figura 43 – Erro de linearidade nas características DC $i_{out} \times v_{in}$ do multiplicador proposto com i_{in} variando em passos de 50 nA e para diferentes valores de temperatura.

4.2.9 Análise com Relação à Variação de Parâmetros do Processo de Fabricação

A influência de variações do processo de fabricação no comportamento do multiplicador foi avaliada através de simulações de Monte Carlo, nas quais os parâmetros dos transistores são variados aleatoriamente dentro de uma faixa de tolerância. Se a variação for feita em cada transistor de forma independente, diz-se que é do tipo DEV; se for feita a mesma variação em todos os transistores, diz-se que é do tipo LOT. Neste trabalho, as simulações de Monte Carlo realizadas foram do tipo LOT, tanto sobre o comportamento das curvas características $i_{out} \times i_{in}$ e $i_{out} \times v_{in}$ (Figura 44) quanto sobre os valores quiescentes da tensão v'_{in} e da corrente de saída i_{out} (Figura 45).

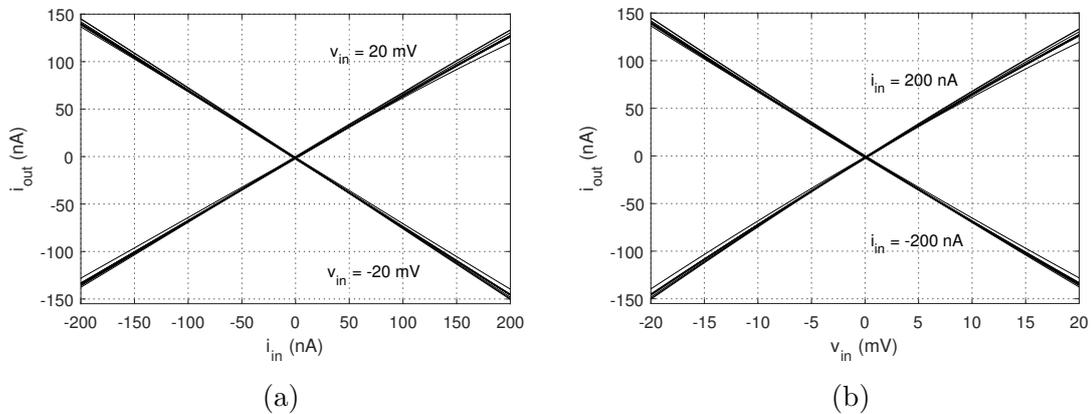


Figura 44 – Características DC obtidas por análise de Monte Carlo considerando 11 amostras para cada: (a) valor de v_{in} (20 ou -20 mV); (b) valor de i_{in} (200 ou -200 nA).

Os histogramas da Figura 45 denotam que a faixa de valores que reúne mais de 50% do número de amostras concentra-se entre (a) 0 e 2 nA no caso do valor quiescente da corrente de saída i_{out} e (b) 44 e 48 mV no caso do valor quiescente da tensão v'_{in} .

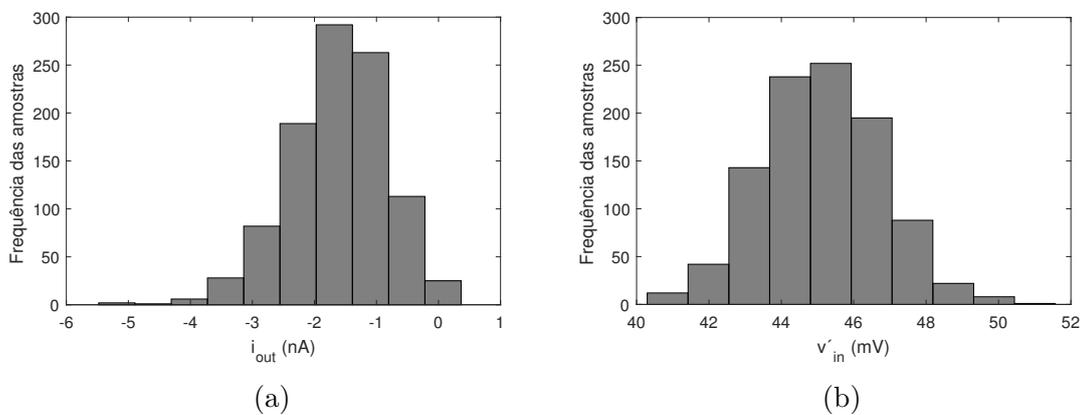


Figura 45 – Histogramas obtidos por análise de Monte Carlo considerando 1000 amostras simuladas no ponto quiescente (a) da corrente de saída i_{out} e (b) da tensão v'_{in} .

4.2.10 Análise de Ruído

O ruído gerado internamente pelo bloco multiplicador somado ao da fonte de polarização SBCS foi simulado nas condições nominais de operação, resultando no comportamento da densidade espectral de potência apresentada na Figura 46, cujo valor médio quadrático para a corrente de ruído à saída, calculado na banda de frequência apresentada, foi de 1,5 nA, o qual é compatível com a aplicação pretendida.

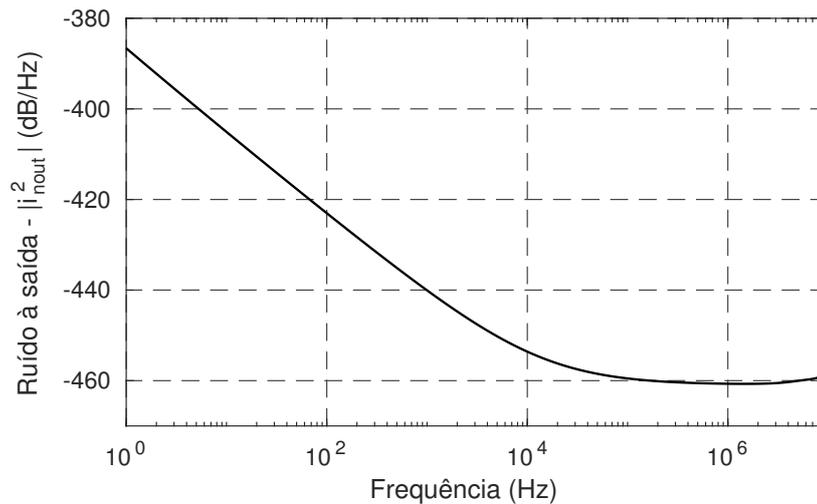


Figura 46 – Densidade espectral da corrente de ruído à saída do multiplicador proposto.

4.3 Comparação entre Parâmetros de Desempenho de Multiplicadores Analógicos com Topologias Distintas

A Tabela 6 foi montada visando comparar o desempenho do multiplicador proposto com os de outros multiplicadores de topologias e tecnologias variadas.

Tabela 6 – Tabela de comparação de parâmetros de desempenho entre multiplicadores distintos

Parâmetros	MT1*	MT2*	MT3*	MT4*	MT5*	MT6*	Proposto
Tecnologia (μm)	0,13	0,13	0,18	0,35	0,35	0,18	0,13
Área ativa (μm^2)	764	703	>860	436 [†]	-	-	732
Corrente de ruído RMS (nA)	1	5	-	-	-	-	1,5
Erro de linearidade (%)	3,33 ^{††}	1,33 ^{††}	0,88	1,1	0,17	0,35	1,67^{††}
Largura de banda (MHz)	1,4	4	0,768	41,8	485	903	5,9
THD máximo (dB)	-34	-32,5	-37	-40	-55	-50	-31
Consumo médio (μW)	20	15	1,2	340	232	41	17

*MT1 (SANTANA, 2013), MT2 (CARDOSO; SCHNEIDER; SANTANA, 2018), MT3 (TANNO; SUGAHARA; TAMURA, 2011), MT4 (NADERI et al., 2009), MT5 (BEYRAGHI; KHOEI, 2015) e MT6 (MARYAN; AZHARI; HAJIPOUR, 2016)

[†] Estimada como metade da área total, devido ao espaço usado por roteamento, poços (ou cavidades) e outras áreas.

^{††} Percentual calculado com base na comparação entre o erro máximo de linearidade e a máxima excursão de saída.

Embora a maioria dos multiplicadores comparados possua banda de passagem mais larga e erro de linearidade mais baixo, o multiplicador proposto apresenta valores aceitáveis destes parâmetros para a aplicação pretendida associados a um consumo menor.

4.4 Rede Neuronal Celular Implementada com o Multiplicador Proposto

Para avaliar a aplicação do multiplicador proposto à célula neuronal do tipo FSR implementada em (SANTANA, 2013) e apresentada na Figura 10, foi feita a substituição direta da sinapse, ainda sem explorar todos os possíveis compartilhamentos de blocos mencionados na seção 3.2, seguida da simulação da CNN bidimensional para as operações de detecção de bordas e preenchimento de buracos, permitindo realizar uma verificação comportamental da operação programada.

A CNN simulada possui tamanho 10×10 , descontando-se as células de fronteira, às quais foram atribuídos valores de estado e de entrada constantes, de forma similar a (SANTANA, 2013).

4.4.1 Detecção de bordas

A operação de detecção de borda visa extrair de uma imagem em escala de cinzas suas bordas binárias, que equivalem a transições abruptas entre *pixels* vizinhos (SANTANA, 2013). As correntes utilizadas nos operadores sinápticos de realimentação (\bar{A}) e de entrada (\bar{B}) estão indicadas na Figura 47.

0	0	0
0	100 nA	0
0	0	0

(\bar{A})

-25 nA	-25 nA	-25 nA
-25 nA	200 nA	-25 nA
-25 nA	-25 nA	-25 nA

(\bar{B})

Figura 47 – Operadores sinápticos para detecção de bordas.

Fonte – Adaptado de (SANTANA, 2013).

A sinapse relativa ao fator de limiar foi ajustada com uma corrente de entrada de -80 nA e uma tensão de entrada de $+15$ mV. As células de fronteira foram estabelecidas com valores de tensão de estado e de entrada constantes e iguais a 0 e -15 mV respectivamente, e o estado inicial da rede corresponde à imagem da entrada, tal qual foi estabelecido em (SANTANA, 2013).

Na Figura 48 é apresentado o resultado simulado para dois exemplos de imagens, sendo que as tensões de estado iniciais (à esquerda) e finais (à direita), limitadas ao intervalo $[-15 \text{ mV}, 15 \text{ mV}]$, são representadas por uma escala de tons de cinza (SANTANA, 2013).

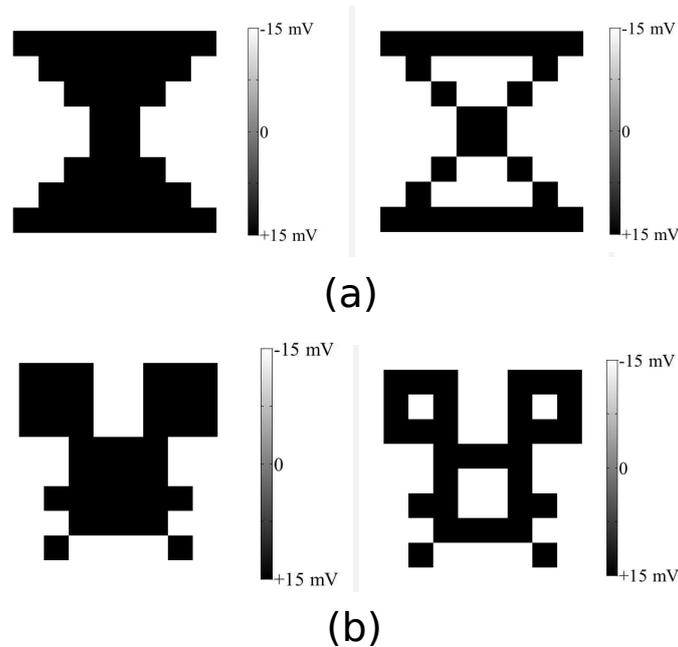


Figura 48 – Resultados da simulação da operação de detecção de bordas para imagens à entrada da CNN. Imagem inicial à esquerda e imagem final à direita.

4.4.2 Preenchimento de buracos

A operação de preenchimento de buracos visa transformar *pixels* brancos envoltos por *pixels* pretos em *pixels* pretos (SANTANA, 2013). As correntes utilizadas nos operadores sinápticos de realimentação (\bar{A}) e de entrada (\bar{B}) estão indicadas na Figura 49.

0	50 nA	0
50 nA	50 nA	50 nA
0	50 nA	0

(\bar{A})

0	0	0
0	200 nA	0
0	0	0

(\bar{B})

Figura 49 – Operadores sinápticos para preenchimento de buracos.

Fonte – Adaptado de (SANTANA, 2013).

A sinapse relativa ao fator de limiar foi ajustada com uma corrente de entrada de -1 nA e uma tensão de entrada de $+15 \text{ mV}$. As células de fronteira foram estabelecidas com valores de tensão de estado e de entrada constantes e iguais a 0, e o estado inicial da rede

foi configurado com todos os *pixels* em +15 mV, tal qual foi estabelecido em (SANTANA, 2013).

A Figura 50 mostra o resultado simulado para dois exemplos de imagens, sendo que as tensões de estado iniciais (à esquerda) e finais (à direita), limitadas ao intervalo $[-15 \text{ mV}, 15 \text{ mV}]$, são representadas por uma escala de tons de cinza (SANTANA, 2013).

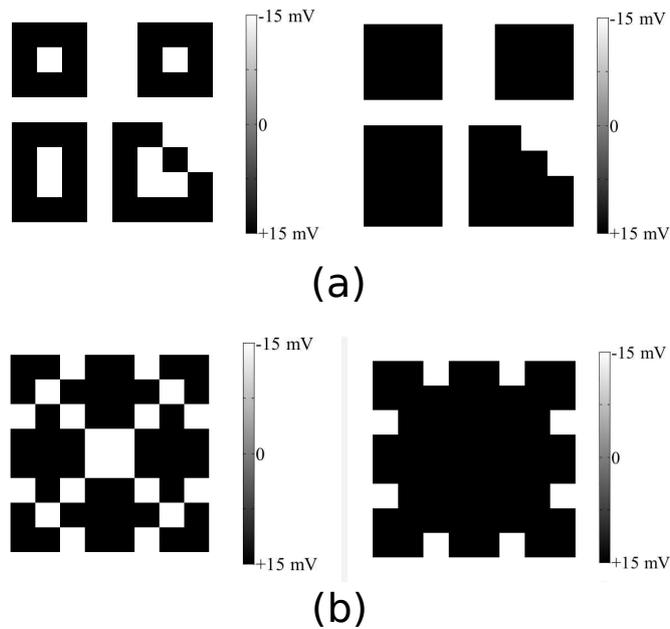


Figura 50 – Resultados da simulação da operação de preenchimento de buracos para imagens à entrada da CNN. Imagem inicial à esquerda e imagem final à direita.

5 Conclusão

Uma nova arquitetura de multiplicador analógico de quatro quadrantes é apresentada neste trabalho. A mesma se mostrou robusta à variação da tensão de alimentação, o que foi indicado através de uma série de simulações apresentando características DC e erros de linearidade para tensões de alimentação até 10% acima e 20% abaixo do valor nominal. Constatou-se que o maior erro de linearidade ocorreu na menor tensão de alimentação ($V_{DD} = -V_{SS} = 0,48 \text{ V}$) e foi igual à 9 nA, o que equivale a 3% da máxima excursão da corrente de saída do multiplicador.

Embora o multiplicador analógico proposto seja de uso geral, a motivação deste projeto foi sua aplicabilidade na implementação de uma CNN analógica, para a qual o mesmo se mostrou satisfatório em termos de desempenho, dimensões e consumo a partir da comparação com outras arquiteturas para fins semelhantes e a partir de resultados preliminares de simulação da rede implementada com o multiplicador proposto neste trabalho.

O equacionamento da operação de multiplicação no circuito proposto demonstrou que a transferência dos sinais de entrada para a saída dependem principalmente de uma corrente de polarização constante. Destarte, foi implementada uma fonte de corrente autopolarizada que tornou a corrente de polarização do multiplicador proposto mais independente da variação da tensão de alimentação se comparada à implementação anterior presente em (CARDOSO; SCHNEIDER; SANTANA, 2018), feita com fonte de corrente baseada em divisor de tensão e espelhos de corrente.

A utilização do modelo ACM para MOSFET's em tecnologia CMOS facilitou o dimensionamento inicial de todos os transistores do circuito, principalmente devido ao menor número de parâmetros e precisão em todas as regiões de operação.

Trabalhos futuros

Entre os possíveis desdobramentos deste trabalho, destacam-se:

- Otimização da implementação da CNN levando em consideração o compartilhamento de estruturas do multiplicador e ajustes dos demais blocos que compõem a célula FSR;
- Ampliação do conjunto de funções testadas na rede CNN com a nova topologia de multiplicador e inclusão de simulações do tipo PVT (variações de processo, tensão e temperatura);

- Otimização da fonte de corrente de polarização do tipo CTAT na implementação do multiplicador proposto.
- Ampliação da faixa de excursão do sinal de entrada em tensão, considerando a implementação de CNN voltada ao processamento analógico de imagens (SANTANA, 2013) e o nível de sinal dos sensores fotorreceptores (LIU et al., 2002), (BURGHARTZ et al., 2006);
- Elaboração de *layout*, executando-se todas as etapas de projeto associadas à implementação das topologias propostas em circuitos integrados, até o estágio de pré-fabricação e extração de parasitas.
- Fabricação e caracterização do multiplicador proposto neste trabalho;

Publicações

Resultados parciais presentes neste trabalho foram divulgados no artigo *CMOS Analog Multiplier with High Rejection of Power Supply Ripple*, apresentado no *9th Latin American Symposium on Circuits and Systems (LASCAS2018)*, realizado em fevereiro de 2018, na cidade de Puerto Vallarta, México, e publicado nos anais deste evento.

Referências

- BEYRAGHI, N.; KHOEI, A. CMOS Design of a Low Power and High Precision Four-Quadrant Analog Multiplier. *Int. J. Electron. Commun. (AEU)*, p. 400–407, 2015.
- BURGHARTZ, J. N. et al. HDR CMOS Imagers and Their Applications. *Proceedings of 8th International Conference on Solid-State and Integrated Circuit Technology*, IEEE, p. 528–531, 2006.
- CARDOSO, F. M. Trabalho Final de Graduação, *Avaliação e Desenvolvimento de Multiplicador Analógico para Implementação de Rede Neural/Não Linear Celular (CNN)*. Salvador: [s.n.], 2015.
- CARDOSO, F. M.; SCHNEIDER, M. C.; SANTANA, E. P. CMOS Analog Multiplier with High Rejection of Power Supply Ripple. *IEEE 9th Latin American Symposium on Circuits and Systems (LASCAS)*, IEEE, p. 1–4, fev. 2018.
- CHUA, L. O.; ROSKA, T. *Cellular Neural Networks and Visual Computing: Foundations and Applications*. 1. ed. Cambridge: Cambridge University Press, 2002.
- CHUA, L. O.; YANG, L. Cellular Neural Networks: Applications. *IEEE Transactions on Circuits and Systems*, v. 35, n. 10, p. 1273–1290, out. 1988.
- CHUA, L. O.; YANG, L. Cellular Neural Networks: Theory. *IEEE Transactions on Circuits and Systems*, v. 35, n. 10, p. 1257–1272, out. 1988.
- CUNHA, A. I. A. et al. A Current-Based Model for the MOS Transistor. *IEEE International Symposium on Circuits and Systems*, p. 1608–1611, jun. 1997.
- CUNHA, A. I. A.; SCHNEIDER, M. C.; GALUP-MONTORO, C. An MOS Transistor Model for Analog Circuit Design. *IEEE Journal of Solid-State Circuits*, IEEE, v. 33, p. 1510–1519, out. 1998.
- DOMÍNGUEZ-MATAS, C. et al. Robust Symmetric Multiplication for Programmable Analog VLSI Array Processing. *Proceedings of IEEE International Conference on Electronics, Circuits and Systems*, p. 1332–1335, 2006.
- ESPEJO, S. et al. A VLSI-oriented continuous-time CNN model. *International Journal of Circuit Theory and Applications*, v. 24, n. 3, p. 341–356, 1996.
- GALAN, R. et al. A Bio-Inspired Two-Layer Mixed-Signal Flexible Programmable Chip for Early Vision. *IEEE Transactions on Neural Networks*, IEEE, p. 1313–1336, nov. 2003.
- IBM. *CMOS8RF (CMRF8SF) Design Manual*. Essex Junction, 2010.
- KIDO, S.; HIRANO, Y.; HASHIMOTO, N. Detection and Classification of Lung Abnormalities by Use of Convolutional Neural Network (CNN) and Regions with CNN Features (R-CNN). *2018 International Workshop on Advanced Image Technology (IWAIT)*, p. 1–4, jan. 2018.

- KRUMMENACHER, F.; JOEHL, N. A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning. *IEEE Journal of Solid-State Circuits*, IEEE, v. 23, p. 750–758, jun. 1988.
- LIU, S.-C. et al. *Analog VLSI: Circuits and Principles*. 1. ed. Cambridge: The MIT Press, 2002.
- MACHADO, M. B. et al. CMOS Multiplier Based on the Relationship Between Drain Current and Inversion Charge. *IET Circuits, Devices and Systems*, n. 3, p. 239–247, out. 2009.
- MARYAN, M. M.; AZHARI, S. J.; HAJIPOUR, M. R. A Simple Low-Power High-Speed CMOS Four-Quadrant Current Multiplier. *24th Iranian Conference on Electrical Engineering (ICEE)*, IEEE, p. 1471–1474, 2016.
- MATSUGU, M. et al. Subject Independent Facial Expression Recognition with Robust Face Detection Using a Convolutional Neural Network. *Neural Networks*, Elsevier, n. 16, p. 555–559, 2003.
- MAYR, C. et al. A Biological-Realtime Neuromorphic System in 28 nm CMOS Using Low-Leakage Switched Capacitor Circuits. *IEEE Transactions Biomedical Circuits and Systems*, v. 10, n. 1, p. 243–254, fev. 2016.
- MEAD, C. *Analog VLSI and Neural Systems*. 1. ed. Boston: Addison-Wesley Longman Publishing Co., Inc., 1989.
- MONTORO, C. G.; SCHNEIDER, M. C.; CUNHA, A. I. A. A current-based mosfet model for integrated circuit design. In: SÁNCHEZ-SINENCIO, E.; ANDREOU, A. G. (Ed.). *Low-Voltage/Low-Power Integrated Circuits and Systems*. 1. ed. New York: IEEE Press, 1999. cap. 2, p. 7–55.
- NADERI, A. et al. A New High Speed and Low Power Four-Quadrant CMOS Analog Multiplier in Current Mode. *Int. J. Electron. Commun. (AEU)*, p. 769–775, 2009.
- OGUEY, H.; AEBISCHER, D. CMOS Current Reference without Resistance. *IEEE Journal of Solid-State Circuits*, p. 1132–1135, jul. 1997.
- PATACHE, N.; GORAS, L. On the Dynamics of a 1D Cellular Neural Network. *International Semiconductor Conference*, p. 189–192, 2015.
- RODRÍGUEZ-VÁZQUEZ, A. et al. Current-Mode Techniques for the Implementation of Continuous and Discrete-Time Cellular Neural Networks. *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, v. 40, n. 3, p. 132–146, mar. 1993.
- SANTANA, E. P. *Circuitos Analógicos em Tecnologia CMOS para Implementação de Próteses Retinianas*. 97 p. Tese (Doutorado em Engenharia Elétrica) — Universidade Federal da Bahia, Salvador, 2013.
- SANTANA, E. P.; FREIRE, R. C. S.; CUNHA, A. I. A. A CMOS Analog Four-Quadrant Multiplier for CNN Synapses. *8th International Caribbean Conference on Devices, Circuits and Systems*, IEEE, p. 1–4, mar. 2012.
- SCHNEIDER, M. C.; GALUP-MONTORO, C. *CMOS Analog Design Using All-Region MOSFET Modeling*. 1. ed. Cambridge: Cambridge University Press, 2010.

- TAKALO, H. Analog Cellular Neural Network for Application in Physical Unclonable Functions. *IEEE International Symposium on Circuits and Systems*, p. 2635–2638, 2016.
- TANNO, K.; SUGAHARA, Y.; TAMURA, H. High-Linear Four-Quadrant Multiplier Based on MOS Weak-Inversion Region Translinear Principle with Adaptive Bias Technique. *TENCON*, IEEE, p. 680–684, 2011.
- VARRIENTOS, J.; SÁNCHEZ-SINENCIO, E.; RAMÍREZ-ANGULO, J. A Current-Mode Cellular Neural Network Implementation. *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, v. 40, n. 3, p. 147–155, mar. 1993.
- VINCENCE, V. C.; GALUP-MONTORO, C.; SCHNEIDER, M. C. A High-Swing MOS Cascode Bias Circuit. *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, IEEE, v. 47, p. 1325–1328, nov. 2000.
- VITTOZ, E.; FELLRATH, J. CMOS Analog Integrated Circuits Based on Weak Inversion Operation. *IEEE Journal of Solid-State Circuits*, p. 224–231, jun. 1977.
- WANG, P.; ZHANG, X.; JIN, D. A Novel OTA For Implementing Programmable CNN. *8th International Conference on Solid-State and Integrated Circuit Technology Proceedings*, IEEE, p. 2076–2078, 2006.

Anexos

ANEXO A – Equações do modelo ACM

O dimensionamento dos componentes de todos os circuitos implementados foi realizado utilizando-se o modelo de transistor MOS denominado ACM (*Advanced Compact MOSFET Model*) (CUNHA; SCHNEIDER; GALUP-MONTORO, 1998), cujas equações são válidas para todo o regime de inversão e apresentam boa precisão.

Entre as principais equações do modelo, sendo que muitas delas foram utilizadas neste trabalho, destacam-se:

$$I_D = I_S(i_f - i_r) \quad (\text{A.1})$$

$$I_{F(R)} = I_S i_{f(r)} \quad (\text{A.2})$$

$$I_S = \mu C'_{ox} \frac{\phi_t^2 W}{2 L} \quad (\text{A.3})$$

$$V_P = \left(\sqrt{V_{GB} - V_{FB} + \frac{\gamma^2}{2}} - \frac{\gamma}{2} \right)^2 - 2\phi_F \approx \frac{V_{GB} - V_{T0N(P)}}{n} \quad (\text{A.4})$$

$$\frac{V_P - V_{SB(DB)}}{\phi_t} = F(i_{f(r)}) = \sqrt{1 + i_{f(r)}} - 2 + \ln(\sqrt{1 + i_{f(r)}} - 1) \quad (\text{A.5})$$

$$\frac{V_{DS}}{\phi_t} = \sqrt{1 + i_f} - \sqrt{1 + i_r} + \ln\left(\frac{\sqrt{1 + i_f} - 1}{\sqrt{1 + i_r} - 1}\right) \quad (\text{A.6})$$

$$g_{ms} = -\frac{\partial I_D}{\partial V_S} = \frac{2I_S}{\phi_t} (\sqrt{1 + i_f} - 1) \quad (\text{A.7})$$

$$g_{md} = -\frac{\partial I_D}{\partial V_D} = \frac{2I_S}{\phi_t} (\sqrt{1 + i_r} - 1) \quad (\text{A.8})$$

$$V_{DS_{SAT}} = \phi_t (\sqrt{1 + i_f} + 3) \quad (\text{A.9})$$

onde I_D é a corrente de dreno, $i_{f(r)}$ é a corrente de saturação direta (reversa) normalizada, $I_{F(R)}$ é a corrente de saturação direta (reversa), I_S é a corrente de normalização, ϕ_t é o potencial termodinâmico, n é o fator de rampa (aproximado por uma constante nos cálculos manuais), μ é a mobilidade dos portadores, C'_{ox} é a capacitância do óxido por unidade de área, V_P é a tensão de *pinch-off*, V_{FB} é a tensão de banda plana, V_{GB} é a tensão porta-substrato, ϕ_F é o potencial de Fermi, γ é o fator de efeito de corpo, $V_{SB(DB)}$ é a tensão fonte(dreno)-substrato, $V_{T0N(P)}$ é a tensão de limiar no equilíbrio para o transistor canal N(P), $g_{ms(d)}$ é a transcondutância de fonte(dreno), $V_{DS_{SAT}}$ é a tensão dreno-fonte de saturação, W é a largura do canal e L é o comprimento do canal.